

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年3月10日 (10.03.2005)

PCT

(10) 国際公開番号  
WO 2005/022637 A1

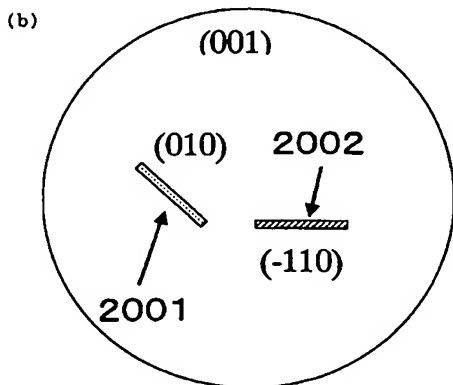
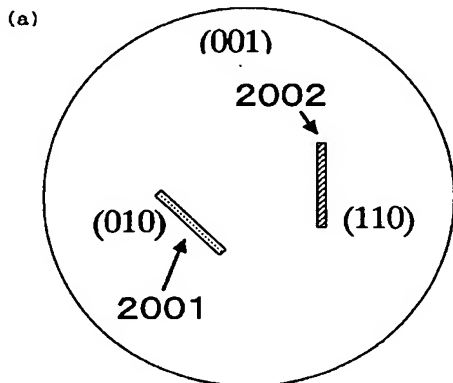
- (51) 国際特許分類: H01L 27/092  
 (21) 国際出願番号: PCT/JP2004/012385  
 (22) 国際出願日: 2004年8月27日 (27.08.2004)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
     特願2003-304753 2003年8月28日 (28.08.2003) JP  
     特願2004-235346 2004年8月12日 (12.08.2004) JP  
 (71) 出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).  
 (72) 発明者; および  
 (75) 発明者/出願人(米国についてのみ): 竹内 潔

(TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 渡部 宏治 (WATANABE, Koji) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 寺島 浩一 (TERASHIMA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 小椋 厚志 (OGURA, Atsushi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 辰巳 徹 (TATSUMI, Toru) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 武田 晃一 (TAKEDA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 野村 昌弘 (NOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 田中 聖康 (TANAKA, Masayasu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE HAVING FIN-TYPE FIELD EFFECT TRANSISTORS

(54) 発明の名称: フィン型電界効果トランジスタを有する半導体装置



(57) Abstract: A semiconductor device including n-type and p-type field effect transistors, wherein the crystal orientation of a protruding semiconductor region constituting the n-type field effect transistor satisfies such conditions that its surface parallel to the substrate is substantially a {100} surface and its side surfaces are substantially {100} surfaces orthogonal to the foregoing {100} surface, and wherein the crystal orientation of a protruding semiconductor region constituting the p-type field effect transistor satisfies such conditions that its surface parallel to the substrate is substantially a {100} surface and its side surfaces are substantially {110} surfaces orthogonal to the foregoing {100} surface.

(57) 要約: n型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上前記{100}面と直交する{100}面であり、p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上前記{100}面と直交する{110}面である、という条件を満足する半導体装置とする。



(JP). 山上 滋春 (YAMAGAMI, Shigeharu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 若林 整 (WAKABAYASHI, Hitoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## フィン型電界効果トランジスタを有する半導体装置

## 技術分野

[0001] 本発明は、キャリア移動度の高いフィン型の電界効果トランジスタを有する半導体装置に関する。

## 背景技術

[0002] 従来、微細化に伴い発生する短チャンネル効果抑制等を目的として、半導体領域からなる突起を有し、基板にほぼ垂直な平面(突起側面)に主たるチャンネルを形成するフィン型のMISFETが開発されてきた。特開昭64-8670号公報には、突起の一部がシリコンウェハ基板の一部であるフィン型のMISFETと、突起の一部がSOI基板の単結晶シリコン層の一部であるフィン型のMISFETが開示されている。前者の構造を図12(a)、後者の構造を図12(b)を用いて説明する。

[0003] 図12(a)に示す形態では、シリコンウェハ基板101の一部が突起103となり、ゲート電極105がこの突起103の頂部を超えて両側に延在している。そして、この突起103において、ゲート電極下の絶縁膜104下の部分にチャンネルが形成される。チャンネル幅は突起103の高さ $h$ の2倍に相当し、ゲート長はゲート電極105の幅 $L$ に対応する。また、ゲート電極105は、この溝内に形成した絶縁膜102上に、突起103を跨ぐように設けている。

[0004] 図12(b)に示す形態では、シリコンウェハ基板111、絶縁膜112及びシリコン単結晶層からなるSOI基板を用意し、そのシリコン単結晶層をパターンニングして突起113とし、そして、この突起113を跨ぐように、露出した絶縁層112上にゲート電極115を設けている。この突起113において、ゲート電極両側の部分にソース領域及びドレイン領域が形成され、ゲート電極下の絶縁膜114下の部分(突起113の上面及び側面)にチャンネルが形成される。チャンネル幅は突起113の高さ $a$ の2倍とその幅 $b$ との合計に相当し、ゲート長はゲート電極115の幅 $L$ に対応する。

[0005] このようにフィン型のMISFETは、チャンネルが形成される半導体領域の側面両側にゲートを持つMISFETであり、一般的に短チャンネル効果の抑制に優れるという特徴

を持つ。

[0006] 一方、特開2002-118255号公報には例えば図13(a)ー(c)に示すような、複数の半導体突起(半導体層213)を有するフィン型のMOSFETが開示されている。図13(b)は図13(a)のB-B線断面図であり、図13(c)は図13(a)のC-C線断面図である。このフィン型のMOSFETは、シリコン基板210のウェル層211の一部で構成される半導体層213を複数有し、これらが互いに平行に配列され、これらの突起状半導体層の中央部を跨いでゲート電極216が設けられている。このゲート電極216は、絶縁膜214の上面から各半導体層213の側面に沿って形成されている。各突起状半導体層とゲート電極間には絶縁膜218が介在し、ゲート電極下の突起状半導体層にはチャネル215が形成される。また、各突起状半導体層にはソース/ドレイン領域が形成され、ソース/ドレイン領域217下の領域212には高濃度不純物層(パンチスルーストップパー層)が設けられている。そして、層間絶縁膜226を介して上層配線229、230が設けられ、各コンタクトプラグ228により、各上層配線とそれぞれソース/ドレイン領域217及びゲート電極216とが接続されている。

[0007] また、特開2001-298194号公報には例えば、図14(a)及び(b)に示すような、フィン型のMOSFETが開示されている。このフィン型のMOSFETは、シリコン基板301、絶縁層302及び半導体層(単結晶シリコン層)303からなるSOI基板を用いて形成され、その絶縁層302上にパターニングされた半導体層303が設けられている。この半導体層303には、複数の開口部310が一行に半導体層303を横断するように設けられている。これらの開口部310は、半導体層303のパターニングの際に、絶縁層302が露出するように形成されている。ゲート電極305は、これらの開口部310の配列方向に沿って、開口部310間の各半導体層(伝導経路)332との間には絶縁膜が介在し、ゲート電極下の伝導経路にチャネルが形成される。伝導経路332の上面の絶縁膜が、側面の絶縁膜と同程度に薄いゲート絶縁膜である場合は、ゲート電極下の半導体層332の両面側及び上面にチャネルが形成される。半導体層303において、開口部310の列の両側がソース/ドレイン領域304を構成する。

[0008] 一般的にこれらのMOSFETの製造では、結晶方位が{100}面の基板を[110]に平行にダイシング(ペレットアイジング)してチップ化する。このため、フィン型のMOSF

ETの基板と平行な面の結晶方位は{100}面、チャンネルが形成される突起側面の結晶方位は通常、{110}面となる。

- [0009] 図2に、基板と平行な面の結晶方位が(001)面であるn型のMISFET2001及びp型のMISFET2002を配置した半導体装置を<00-1>から見た図を示す。これらのMISFETはレイアウトを容易にするため、n型のMISFETとp型のMISFETの突起側面が互いに直交(図2(a))又は平行(図2(b))になる位置に配置されている。図2(a)ではn型のMISFETの突起側面の結晶方位は(-110)面、p型のMISFETの突起側面の結晶方位は(110)面である。図2(b)ではn型のMISFET及びp型のMISFETの突起側面の結晶方位は共に(-110)面である。

#### 発明の開示

- [0010] 近年、半導体素子の高速化と共に高いキャリア移動特性を有するCMISの開発が必要とされている。しかし、フィン型のCMISのキャリア移動度に基づく遅延指標と半導体領域側面の結晶方位との関係については、検討されていなかった。
- [0011] そこで、本発明の一態様ではキャリア移動特性の最適化を図り、CMISの高速化を図ることを目的とする。また、本発明の異なる態様ではCMISの高速化とレイアウト上の要請を考慮しつつ両者の最適化を図ることを目的とする。
- [0012] 上記課題を解決するため、本発明は以下の構成を有する。すなわち、本発明は側面にチャンネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、
- 該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{100}面であり、
- 該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面である、
- という条件を満足する半導体装置に関する。
- [0013] 本発明は、側面にチャンネルを形成する突起状の半導体領域と、少なくとも該側面上

に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{110}面であり、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{110}面とは異なる、

という条件を満足する半導体装置に関する。

- [0014] 本発明は、側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{110}面である、

という条件を満足する半導体装置に関する。

- [0015] 本発明は、側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その側面が実質上{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の側面が実質上、該{10

0)面と直交する、

という条件を満足する半導体装置に関する。

[0016] 本発明は、側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その側面が実質上{110}面であり、

該n型電界効果トランジスタを構成する突起状半導体領域の側面が実質上該{110}面と直交し、かつ該側面の結晶方位は実質上{110}面とは異なる、

という条件を満足する半導体装置に関する。

[0017] 本発明は、側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{110}面であり、その側面が実質上該{110}面と直交する{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{110}面であり、その側面が実質上該{110}面と直交する{110}面である、

という条件を満足する半導体装置に関する。

[0018] 本発明は、側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交し、か

つ{110}面とは異なり、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が該n型電界効果トランジスタを構成する突起状半導体領域の側面と実質上平行又は直交する、

という条件を満足する半導体装置に関する。

[0019] 本発明は、基板と平行な面の結晶方位が{100}面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)であり側面にチャネルを形成する少なくとも一つの突起状の半導体領域と、該半導体領域の中央部を跨ぐように絶縁膜を介して設けられたゲート電極と、該半導体領域の少なくとも一つに導通され該ゲート電極を挟んで設けられたソース／ドレイン領域と、を備えたn型電界効果トランジスタ及びp型電界効果トランジスタを有する半導体装置であって、

該n型電界効果トランジスタ及びp型電界効果トランジスタは、

突起側面の結晶方位を基板と垂直な{110}面とした状態を基準状態とするとき、

該基準状態のn型電界効果トランジスタ及びp型電界効果トランジスタの突起側面を独立して、基板の法線を回転中心として $0^\circ$ 以上 $90^\circ$ 以下の角度で固定又は回転(ただし、該n型電界効果トランジスタ及びp型電界効果トランジスタの回転角度が共に $0^\circ$ 及び $90^\circ$ の場合を除く。)させた結晶方位を有することを特徴とする半導体装置に関する。

[0020] また、本発明は側面にチャネルを形成する少なくとも一つの突起状の半導体領域と、該半導体領域の中央部を跨ぐように絶縁膜を介して設けられたゲート電極と、該半導体領域の少なくとも一つに導通され該ゲート電極を挟んで設けられたソース／ドレイン領域と、を備えたn型電界効果トランジスタ及びp型電界効果トランジスタを有する半導体装置であって、

該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)の結晶方位及び突起側面の結晶方位をそれぞれ互いに直交する{100}面とした状態を基準状態とするとき、

該n型電界効果トランジスタ及びp型電界効果トランジスタは、

該n型電界効果トランジスタの突起側面の法線を回転中心として、該基準状態の該



n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面及びp型電界効果トランジスタの突起側面を $-45^{\circ}$ 以上 $45^{\circ}$ 以下の範囲で同じ角度だけ固定又は回転させた結晶方位を有することを特徴とする半導体装置に関する。

[0021] また、本発明は側面にチャンネルを形成する少なくとも一つの突起状の半導体領域と、該半導体領域の中央部を跨ぐように絶縁膜を介して設けられたゲート電極と、該半導体領域の少なくとも一つに導通され該ゲート電極を挟んで設けられたソース/ドレイン領域と、  
を備えたn型電界効果トランジスタ及びp型電界効果トランジスタを有する半導体装置であって、

該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面(ただし、オフ角度が $10^{\circ}$ 以下の面も含む。)の結晶方位を{100}面、突起側面の結晶方位をそれぞれ{110}面とし、且つ該{100}面及び{110}面を互いにそれぞれ直交させた状態を基準状態とするとき、

該n型電界効果トランジスタ及びp型電界効果トランジスタは、

該p型電界効果トランジスタの突起側面の法線を回転中心として、該基準状態の該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面及びn型電界効果トランジスタの突起側面を $90^{\circ}$ 以下の範囲で同じ角度だけ回転させた結晶方位を有することを特徴とする半導体装置に関する。

[0022] また、本発明は側面にチャンネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その側面が実質上{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の側面が実質上、該{100}面と平行である、

という条件を満足する半導体装置に関する。

[0023] 本発明の半導体装置では、n型のMISFET及びp型のMISFETの突起側面を、

基板の法線を回転中心としてそれぞれ独立して固定又は回転させることで、CMISの遅延指標と、レイアウトを考慮したMISFETの配置の最適化を図ることができる。更に、n型のMISFET及びp型のMISFETの突起側面が互いに直行又は平行となる配置を保ったままこれらのMISFETの突起側面を同じ角度だけ回転させることにより、よりレイアウトの容易にすると共に、CMISの遅延指標を低下させることができる。

[0024] また、本発明の半導体装置では、n型のMISFETの突起側面と、p型のMISFETの突起側面と、これらのMISFETの基板と平行な面が互いに直交する{100}面となるように配置した基準状態から、n型のMISFETの突起側面の法線を回転中心として、n型のMISFET及びp型のMISFETの基板と平行な面及びp型のMISFETの突起側面を固定又は回転させることによって、MISFETのレイアウトの最適化を図るとともに、高いキャリア移動特性を有することができる。

[0025] また、本発明の半導体装置では、n型のMISFET及びp型のMISFETの基板と平行な面の結晶方位を{100}面、n型のMISFET及びp型のMISFETの突起側面の突起側面の結晶方位を{110}面とし、これら三つの面が互いに直交するように配置した基準状態から、p型のMISFETの突起側面の法線を回転中心として、n型のMISFET及びp型のMISFETの基板と平行な面及びn型のMISFETの突起側面を固定又は回転させることによって、より高い密度でのMISFETの配置が可能になるとともに、高いキャリア移動特性を有することができる。

[0026] また、本発明の半導体装置では、n型のMISFET及びp型のMISFETの基板に平行な面を{100}面、n型のMISFET及びp型のMISFETの突起側面の結晶方位が同一であり、基板と垂直な{100}面となるよう配置した基準状態から、n型のMISFET及びp型のMISFETの突起側面の法線を回転中心として、n型のMISFET及びp型のMISFETの基板に平行な面を回転させても、低いCMISの遅延指標と、高いキャリア移動特性を維持することができる。

#### 図面の簡単な説明

[0027] [図1]図1(a)は、本発明及び従来例における半導体領域を表す斜視図である。図1(b)は、本発明及び従来例におけるMOSTランジスタを表す斜視図である。

[図2]図2(a)は、従来の直交配置の半導体装置の図である。図2(b)は、従来の平行

配置の半導体装置を表す上面図である。

[図3]図3(a)は、本発明の直交配置の半導体装置を表す上面図である。図3(b)は、本発明の平行配置の半導体装置を表す上面図である。

[図4]図4(a)は、本発明の直交配置の半導体装置を表す上面図である。図4(b)は、本発明の平行配置の半導体装置を表す上面図である。

[図5]図5(a)は、本発明の直交配置の半導体装置を表す上面図である。図5(b)は、本発明の平行配置の半導体装置を表す上面図である。

[図6]図6は本発明の第二の実施態様の半導体装置を表す上面図である。

[図7]図7は本発明の第三の実施態様の半導体装置を表す上面図である。

[図8]図8(a)は、n型のMISFETのキャリア移動度と突起側面の結晶方位との関係を表した図である。図8(b)は、p型のMISFETのキャリア移動度と突起側面の結晶方位との関係を表した図である。図8(c)は、p型のMISFETのキャリア移動度と突起側面の結晶方位との関係を表した図である。図8(d)は、n型のMISFETのキャリア移動度と突起側面の結晶方位との関係を表した図である。

[図9]図9はCMISの遅延指標と突起側面の結晶方位との関係を表した図である。

[図10]図10は本発明に係る半導体装置の製造工程を表した図である。

[図11]図11は本発明に係る半導体装置の製造工程を表した図である。

[図12]図12(a)は、従来技術のMISFETを表す斜視図である。図12(b)は、従来技術のMISFETを表す斜視図である。

[図13]図13(a)は、マルチ構造のMISFETを表す断面図である。図13(b)は、マルチ構造のMISFETを表す断面図である。図13(c)は、マルチ構造のMISFETを表す断面図である。

[図14]図14(a)は、マルチ構造のMISFETを表す斜視図である。図14(b)は、マルチ構造のMISFETを表す斜視図である。

[図15]図15は本発明のトライゲート型のMISFETを表す断面図である。

[図16]図16は本発明のダブルゲート型のMISFETを表す断面図である。

[図17]図17は本発明のMISFETとプレーナ型のMISFETが混載した半導体装置の断面図である。

[図18]図18は結晶方位及び回転を説明する図である。

[図19]図19は本発明のマルチ構造のMISFETを表す上面図である。

### 発明を実施するための最良の形態

[0028] ゲート電極直下の基板内にチャンネルが形成される従来のプレーナ型のMISFETでは、基板が等方面の{100}面であるため、基板内でチャンネル電流が流れる方向を変化させても移動度は変化しなかった。

一方、フィン型のMISFETでは半導体領域の側面にチャンネルが形成されるため、突起側面の結晶方位を回転させることによって、キャリア移動度を変化させることが可能となる。例えば、 $\text{SiO}_2$ などのゲート絶縁膜を用いてフィン型のMISFETを形成した際、突起状半導体領域の側面の結晶方位を(110)面とするよりも(100)面とした方が、界面準位を小さくできることが知られている。また、側面の結晶方位が(100)面であるフィン型のMISFETは、(100)面の形成基板を使用する従来のプレーナ型のFETと共通の特性とすることができ、これらのFETの間で互換性、設計容易性があるなどのメリットがある。

[0029] 一方、近年、半導体装置の高集積化が進んでいるため、n型のMISFETとp型のMISFETを組み合わせる場合、典型的には1個ずつペアとして用いるCMISは、高いキャリア移動特性を有する必要がある。更にCMIS以外に、主にn型のMISFETを用いてロジック回路を構成する手法(例えば、ドミノ回路など)がありこの場合、n型のMISFETを高い移動度とする方が有利である。

[0030] そこで、本発明者等はフィン型のMISFETにおいて、キャリア移動度と半導体領域の突起側面の結晶方位との関係について検討を行った結果、本発明に至った。すなわち、本発明は突起状半導体領域を成す半導体の結晶方位(突起の基板に平行な面、または突起の側面、またはその両者)を変化させることにより、n型のMISFETやCMISの高速化を図るものである。また、CMISの高速化とレイアウト上の要請の最適化を図るものである。

[0031] (半導体装置)

典型的なフィン型のMISFETでは、ゲート電極直下の少なくとも突起側面の一部にチャンネルが形成され、チャンネル形成部分がチャンネル領域をなす。チャンネル電流が

流れる方向は突起側面と平行、かつ基板に対して平行である。従って、基板に平行な結晶方位及び突起側面の結晶方位を規定すれば、電流の方向はその向き(正負)を除いて一意に確定する。突起側面は主に基板と垂直となるよう形成されているが、半導体領域の幅Wが突起上部から下部に向かって変化するテーパ状であっても良い。この場合、基板の法線と突起側面のなす角度は $10^\circ$ 以下であることが好ましい。突起側面が基板の法線となす角度がこの範囲内である場合は、突起側面が基板と垂直の場合と同様の特性が得られるものとして同一視することができる。本発明(特許請求の範囲を含む)において、突起側面の結晶方位について「実質的に所定の結晶方位を持つ」というとき、突起側面が基板に対して垂直な場合だけではなく、上記のように $10^\circ$ 以内のテーパ形状を有する場合も含むものとする。

[0032] 本発明では、このように基板面にほぼ垂直の面をチャンネル領域として利用できる形状であれば、「突起状半導体領域」は、全体としてどのような形状になっていてもよい。本発明において、結晶方位が規定されるのは突起状半導体領域のうち特にチャンネル領域における方位(突起側面の結晶方位を含む)である。従って、ソース・ドレイン領域がどのような形状になっていても、またどのような結晶方位を有していてもよい。従って、本発明において、「突起側面」とは、突起状半導体領域のなかでも、チャンネルが形成される側面のみを意味する。また、突起状半導体領域は、チャンネル形成可能な側面を有するように、基板より突出していればよく、通常は、素子を形成する半導体層と基板とを区分けする絶縁膜より上に突出している。

[0033] 本発明の半導体装置においては、突起状の半導体領域の側面に主たるチャンネルが形成される。突起状の半導体領域の上面(基板と平行な面)には、チャンネルが形成されても、されなくても良い。図15には上面にチャンネルが形成される突起状の半導体領域の断面形状の例を、図16には上面にチャンネルが形成されない突起状の半導体領域の断面形状の例を示す。このように突起状の半導体領域の上面にチャンネルが形成されるかどうかは、突起状半導体領域の上面にゲート絶縁膜より厚い絶縁膜を載せるか載せないかで選択できる。本発明の半導体装置において更に、図15の半導体装置のように突起状の半導体領域のコーナー部を丸くして、電界集中を避けることができる。

- [0034] 図15(b)ー(d)及び16(b)ー(d)には、ゲート電極が前述の形態と異なる構造を有するFin型MISFETの例を示す。図15及び16は、図1(b)の断面図に相当する。図15(b)及び16(b)は、半導体領域1003の下端よりも下方にゲート電極1005の下端が位置する構造を示す。この構造はギリシャ文字の「 $\pi$ 」に似ていることから「 $\pi$ ゲート構造」と呼ばれている。このように、ゲート電極が突起状半導体領域より低い位置まで延在すると、ゲート電極によるチャネルの制御が強化され、オンオフ遷移の急峻性（サブスレショルド特性）が向上し、オフ電流を抑制することができる。
- [0035] 図15(c)及び16(c)は、半導体領域1003の下面側へ一部、ゲート電極1005が回り込んでいる構造（ゲート電極は突起状半導体領域の下面の一部を覆うように延在している構造）を示す。この構造は、ゲート電極がギリシャ文字の「 $\Omega$ 」に似ていることから「 $\Omega$ ゲート構造」と呼ばれている。この構造によれば、ゲート電極によるチャネルの制御が更に強化され、半導体領域の下面もチャネルとして利用できるため駆動能力を向上させることができる。
- [0036] なお、図15(d)及び16(d)では、半導体領域1003の下面側へゲート電極1005が完全に回り込んでいる構造を示す。この構造は、ゲート下部分において半導体領域が基体平面に対して空中に浮いた状態となり、「ゲート・オール・アラウンド(GAA)構造」と呼ばれている。この構造によれば、半導体領域の下面もチャネルとして利用できるため、駆動能力を向上することができ、短チャネル特性も向上することができる。
- [0037] 半導体領域を形成する半導体材料としては、単結晶シリコンを好適に用いることができ、その他、シリコン・ゲルマニウム、ゲルマニウムを好適に用いることができる。また、必要に応じて前記材料の複層膜を用いることができる。
- [0038] 上記の各実施形態においては、ベース絶縁膜下の基板としてシリコン基板を用いた例を示したが、ベース絶縁膜下の半導体基板の一部で半導体領域を構成する場合を除き、半導体領域の下に絶縁膜があれば本発明を構成することができる。例えば、SOS(シリコン・オン・サファイア、シリコン・オン・スピネル)のように、半導体領域下の絶縁体自体が支持基板となる構造を挙げることができる。絶縁性の支持基板としては、上記SOSの他、石英やAlN基板が挙げられる。SOIの製造技術(貼り合わせ工程および薄膜化工程)によってこれらの支持基板上に半導体領域を設けることが

できる。

- [0039] ゲート電極の材料としては、所望の導電率及び仕事関数を持つ導電体を用いることができ、例えば、不純物が導入された多結晶シリコン、多結晶SiGe、多結晶Ge、多結晶SiC等の不純物導入半導体、Mo、W、Ta、Ti、Hf、Re、Ru等の金属、TiN、TaN、HfN、WN等の金属窒化物、コバルトシリサイド、ニッケルシリサイド、白金シリサイド、エルビウムシリサイド等のシリサイド化合物が挙げられる。また、ゲート電極の構造は、単結晶膜の他、半導体と金属膜との積層膜、金属膜同士の積層膜、半導体とシリサイド膜との積層膜等の積層構造を用いることができる。
- [0040] ゲート絶縁膜としては、 $\text{SiO}_2$  膜、 $\text{SiON}$  膜を用いることができる他、いわゆる高誘電体絶縁膜 (High-K膜) を用いてもよい。High-K膜としては、例えば、 $\text{Ta}_2\text{O}_5$  膜、 $\text{Al}_2\text{O}_3$  膜、 $\text{La}_2\text{O}_3$  膜、 $\text{HfO}_2$  膜、 $\text{ZrO}_2$  膜等の金属酸化物、 $\text{HfSiO}$ 、 $\text{ZrSiO}$ 、 $\text{HfAlO}$ 、 $\text{ZrAlO}$  等の組成式で示される複合金属酸化物を挙げることができる。また、ゲート絶縁膜は積層構造を有していてもよく、例えば、シリコン等の半導体層に $\text{SiO}_2$  や $\text{HfSiO}$  等のシリコン含有酸化膜を形成し、その上にHigh-K膜を設けた積層膜を挙げることができる。
- [0041] 本発明は突起状半導体領域の結晶方位の選択に関する。なお、本明細書では、Finを構成する半導体領域の結晶方位を、結晶座標系の中に配置されるFinの方位として表現する。これは、Finが結晶からこのような向きで切り出されると解釈しても良い。例えば、Finの基板と平行な面が(001)、Finのチャネルと平行な面が(110)であるという状態は、図18(a)のように、基板と平行な面の法線が<001>方向、チャネルと平行な面の法線が<110>方向であるようFinが結晶座標系中に配置された状態と対応する(ハッチングを施した面が基板と平行とする)。また、「回転する」とは実空間内での実体の回転ではなく、結晶座標系内でFinを回転することで、上記した表現方法に基づきFinの結晶方位を変更することを意味する。例えば、図18(a)の状態から<001>軸を中心に右ねじ方向に45度回転することは、すなわち図で図18(a)から18(b)の状態へ移行することであるが、これは基板と平行な面は(001)から変更せず、チャネルと平行な面を(010)面に変更するということを意味する。
- [0042] 図10(f)に示すように、突起状の半導体領域のゲートを含む断面形状は通常、両

側にゲートを設けることができる平行な2つの側面を有し、典型的には方形状であり、幅と高さの関係は通常、高さ(H)/幅(W)=1/2〜10、例えば、1〜2の範囲にある。また、典型的には突起上部は基板と平行な面を形成する。チャンネル領域以外のソース領域/ドレイン領域では、コンタクト等のため幅が広がっていても構わない。また、チャンネルは突起上部に更に形成されていても良い。この場合、チャンネルは突起側面及び上部の三つの面に形成されるため、ゲートによる制御性が向上する。

- [0043] 独立したチャンネル領域が一つであるMISFETの突起状半導体領域の一例を図1を用いて説明する。図1(a)は絶縁体上に設けられた突起状の半導体領域を表す斜視図、図1(b)はMISFETを表す斜視図である。図1(a)に示すように、半導体基板1001上にSiO<sub>2</sub>からなる絶縁体1002が設けられ、絶縁体1002上に更に突起状の半導体領域1003が設けられる。半導体領域1003はチャンネル領域(突起側面)1008を有する。図1では半導体領域は直方体状である。
- [0044] この半導体領域1003には、チャンネル領域及びソース/ドレイン領域が形成される。図1(b)に示すように半導体領域1003の上面及び側面にはゲート絶縁膜1004が設けられ、表面にゲート絶縁膜1004が形成された半導体領域1003を跨いで、ゲート電極1005が設けられる。適当なゲート電圧をゲート電極1005に印加することにより、突起状の半導体領域1003の一部に主たるチャンネル領域1008が形成される。半導体領域1003のゲート電極1005を挟んだ両側の部分は高濃度の不純物が導入されたソース領域1006/ドレイン領域1007を構成している。
- [0045] また、MISFETは図13及び14に示されるように独立した複数のチャンネル領域を有するマルチ構造であっても良い。図13の構造のMISFETでは絶縁膜214より上部に突出した半導体層213、チャンネル215及びソース/ドレイン領域217が形成されている。この構造では、ゲートが複数のチャンネルに共通しており、また、ソース/ドレイン領域が互いに配線により接続されている。図14のMISFETでは絶縁膜302より上部に突出した半導体層303にチャンネル領域とソース/ドレイン領域(304、332)が形成されている。ソース/ドレイン領域304は、複数のチャンネル領域に対して共通に設けられた領域である。図13、14のどちらの構造でも、チャンネル領域は互いに並列に接続され、全体として一つのMISFETとして機能する。図19はマルチ構造のMISFET



を簡略化して表した上面図である。図19(a)のMISFETでは、各半導体層で共通化された一対のソース/ドレイン領域401が設けられている。図19(b)のMISFETでは、各半導体層にそれぞれ独立して一対のソース/ドレイン領域401が設けられている。このようにマルチ構造とすることで、フィン型のMISFETは少ない面積でより大きなチャンネル幅を実現することができ、本発明のように突起側面の結晶方位を変化させた場合、キャリア移動特性をより効果的に向上させることができる。

- [0046] 本発明のフィン型のMISFETは基板上に突起状の半導体領域を設け、半導体領域の側面にチャンネルが形成される点で従来のフィン型のMISFETと同じ構造である。しかし、突起状半導体領域の結晶方位が異なり、キャリア移動特性が向上している点が従来のフィン型のMISFETと異なる。
- [0047] また、半導体領域は図12(a)で表されるように半導体基板1001の一部であっても、図12(b)で表されるようにSOI基板のシリコン単結晶層であっても良い。どちらの場合であっても、基板と素子を形成する領域を区分けする絶縁層(図12(a)では絶縁膜102、図12(b)では絶縁膜112)より上に突出しており、そのため、チャンネル形成可能な側面を有することができる。また、半導体領域は、半導体基板1001の一部であるものと、SOI基板のシリコン単結晶層であるものとが同一半導体基板上に混在していても構わない。
- [0048] 本発明のフィン型のMISFETでは、突起状半導体領域1003の結晶方位はキャリアの移動度に影響するが、基板1001の結晶方位はキャリアの移動度とは無関係である。従って、突起状半導体領域1003の結晶方位は基板1001の結晶方位と一致しなくても良い。例えば、貼り合わせ法で製造したSOI基板を用いた場合、半導体領域の基板に平行な面と基板の結晶方位とは異なる場合がある。本発明において「基板に平行な面」とは突起状半導体領域1003、さらに厳密にはチャンネル領域1008を構成する半導体結晶の結晶方位を指しており、基板1001の結晶方位を意味するものではない。
- [0049] ここで、望ましい形成方法として、複数の突起状半導体領域を、半導体単結晶基板の一部として、またはSOI基板のシリコン単結晶層を加工して形成する場合、突起状半導体領域間ではその結晶方位は揃うことになる。このような突起状半導体領域を

用いてCMISを構成するとき、p型のMISFETとn型のMISFETは方位の揃った突起状の結晶に形成される。従って、p型のMISFETとn型のMISFETでは、それぞれの基板に平行な面の結晶方位は同一面となる。

[0050] なお、フィン型のMISFETがオン状態のときチャンネルが形成される突起状領域全体が空乏化する程度に半導体領域の幅(突起状半導体領域の基板と平行な方向の長さを表す。図1及び12(b)のb、図12(a)のt。)を小さくすると、完全空乏型のMISFETとすることができる。フィン型のMISFETは完全空乏型であっても、そうでなくても良い。また、半導体領域は適宜不純物をドーピングされていても、ドーピングされていなくても良い。

[0051] 本発明の半導体装置が含むn型電界効果トランジスタとp型電界効果トランジスタは、典型的には各々ほぼ同数をペアとしてCMIS回路として用いる。また、一方の導電型(例えばn型)の電界効果トランジスタを主として用い、他方の導電型(例えばp形)の電界効果トランジスタは補助的に用いるような回路に用いることも可能である。また本発明は、少なくとも半導体装置(チップ)の一部において、上記の様な結晶方位の関係を有するCMISその他の回路を含むものである。

[0052] 更に、本発明の半導体装置は2以上のCMISを有していても良い。本発明の半導体装置ではMISFETは直交及び／又は平行する位置に配置させることができ、レイアウトが容易であり少ない面積で多数のMISFETを配置することができる。このため、半導体装置の高集積化が可能となる。

[0053] (第一の実施態様)

本発明の第一の実施態様では、n型のMISFET及びp型のMISFETの基板に平行な面は{100}面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)である。また、このn型のMISFET及びp型のMISFETの突起側面の結晶方位を基板と垂直な{110}面とした状態を基準状態としたとき、本実施態様のn型のMISFET及びp型のMISFETは、基板に平行な面を固定したまま基準状態のMISFETの突起側面を基板の法線を回転中心としてそれぞれ独立して $0^\circ$ 以上 $90^\circ$ 以下の角度で固定又は回転(ただし、n型のMISFET及びp型のMISFETの回転角度が共に $0^\circ$ 及び $90^\circ$ の場合を除く。)させたものに相当する。ここで、「突起側面を回転する」とは、実空間内

での実体的な回転を意味するのではなく、MISFETの基板と平行な面の結晶方位を固定したまま、結晶座標系内でFinを回転させることで、結晶座標系の中に配置されるFinの結晶方位を変更することを表す。すなわち、このような電流方向となる側面を有するように、突起状半導体領域を形成することを意味する。このように突起側面を固定又は回転させることによって、CMISの遅延指標と、レイアウトを考慮したMISFETの配置の最適化を図ることができる。

- [0054] 本発明で用いた移動度のデータは、市販の半導体パラメータ・アナライザ装置を用いて計測した。測定条件はソース電圧を基準として、ドレイン電圧0.05V、基板電圧0Vとした。ゲート電圧はチャネルにかかる垂直実効電界Eeffが10MV/cmとなるようにサンプルごとに微調整し、概ね1.35Vとした。なお、一般的なポリシリコンゲートを用いた場合には近似的に

- [0055] [数1]

$$E_{eff} = (V_{gs} + V_{th}) / 6 T_{ox}$$

で与えられる。ここで、Vgs: ゲート電圧、Vth: しきい値電圧、Tox: ゲート酸化膜厚、である。

- [0056] また、遅延指標はCMISのキャリア移動特性を評価する指標であり、下記式によって算出した。

- [0057] [数2]

$$(1/\sqrt{\mu_N} + 1/\sqrt{\mu_P})^2$$

なお、遅延指標は、上記方法により測定した移動度を全て、突起状半導体領域の側面が{100}面であるn型のMISFETの移動度(240cm<sup>2</sup>/V・s)で規格化した無単位数として計算したものを示す。遅延指標が低い値であるほどCMISのキャリア移動特性は良好となる。MISFETの基板に平行な面は(100)面、(010)面、(001)面の何れの面であっても良い。基板と平行な面がこれらの何れの面であっても、MISFETの突起側面と基板とが垂直であり、且つn型のMISFET及びp型のMISFETの

突起側面の回転角度が同一である場合には、シリコン結晶の対称性から同一の移動度となる。

[0058] 例えば、MISFETの基板に平行な面の結晶方位が(100)面の場合、n型のMISFET及びp型のMISFETの突起側面の結晶方位を(0-11)面及び／又は(011)面とした配置が基準状態となり、MISFETの突起側面は $\langle 100 \rangle$ を回転中心として回転される。また、MISFETの基板に平行な面の結晶方位が(010)面の場合、n型のMISFET及びp型のMISFETの突起側面の結晶方位を(10-1)面及び／又は(101)面とした配置が基準状態となり、MISFETの突起側面は $\langle 010 \rangle$ を回転中心として回転される。MISFETの基板に平行な面の結晶方位が(001)面の場合、n型のMISFET及びp型のMISFETの突起側面の結晶方位を(-110)面及び／又は(110)面とした配置が基準状態となり、MISFETの突起側面は $\langle 001 \rangle$ を回転中心として回転される。この際、MISFETの基板に平行な面の結晶方位は突起側面の回転によっても変わらない。これらの基準状態は従来の半導体装置におけるフィン型のMISFETに該当する。

[0059] なお、MISFETの突起側面は基板の法線を4回対称軸とする。このため、MISFETの突起側面の回転角度が $90^\circ$  となった時、基準状態と同じ移動度となり、 $90^\circ$  から回転角度を更に大きくすると、移動度は $0^\circ$  から $90^\circ$  まで回転角度を大きくした場合と同様の挙動を示す。従って、MISFETの突起側面の回転角度は $0^\circ$  以上 $90^\circ$  以下で全ての回転角度( $0-360^\circ$ )の移動を表せることとなる。

[0060] 基板に平行な面の結晶方位が(001)面でn型のMISFETとp型のMISFETを、垂直に配置した場合の基準状態を図2(a)、平行に配置した場合の基準状態を図2(b)に示す。図2(a)及び(b)はこれらのMISFETを $\langle 00-1 \rangle$ から見た図である。本発明の第一の実施態様では、この図2(a)及び(b)の基準状態から図3(a)及び(b)のようにn型のMISFET2001及びp型のMISFET2002の突起側面を $\langle 001 \rangle$ を回転中心として、独立して $0^\circ$  以上 $90^\circ$  以下の角度で固定又は回転させる。

[0061] このように突起側面を回転させた場合のキャリア移動特性の変化を図8及び9を用いて説明する。図8(a)はn型のMISFETのキャリア移動度と結晶方位との関係、図8(b)はp型のMISFETのキャリア移動度と結晶方位との関係、図9はCMISの遅延指

標と結晶方位との関係を示したものである。

- [0062] 図2(a)及び(b)の配置(従来のCMIS)の移動度は図8(a)中の点(A)、図8(b)中の点(D)で表される。また、この時、測定したCMISの遅延指標は図9より8.8である。これに対して、図3(a)及び(b)のようにn型のMISFET及びp型のMISFETの突起側面を90°まで回転していくと、n型のMISFETの移動度は図8(a)の点(A)から点(B)まで単調増加した後、点(C)に至る。一方、p型のMISFETの移動度は図8(b)の点(D)から点(E)まで単調減少した後、点(F)に至る。なお、点(A)及び(D)は基準状態の移動度、点(C)及び(F)は突起側面の回転角度が90°の時の移動度を表す。結晶の対称性から点(A)と(C)の移動度、点(D)と(F)の移動度は同一となる。
- [0063] n型のMISFET及びp型のMISFETの突起側面の回転角度は同一であっても良いし、異なっても良い。また、n型のMISFET及びp型のMISFETのいずれか一方の突起側面のみを回転させ、他方の突起側面は固定していても良い。ただし、n型のMISFET及びp型のMISFETの突起側面を共に基準状態に固定した場合及び共に基準状態から90°回転させた場合は含まない。この場合、シリコン結晶の対称性から図2(a)及び(b)の配置に対応する従来のMISFETと同じ移動度となるからである。
- [0064] また、図8よりn型のMISFETの突起側面を固定し、p型のMISFETの突起側面のみを回転させた場合には、基準状態に比べてp型のMISFETの移動度は低くなる。このため、測定したCMISの遅延指標は図9より大きくなり、キャリア移動特性は悪くなる。従って、p型のMISFETの突起側面を回転させる場合には、基準状態よりもCMISの遅延指標を大きくしないようにn型のMISFETの突起側面も回転する必要がある。好ましくは、n型のMISFETとp型のMISFETの突起側面は直交又は平行となる配置を保ったまま、これらのMISFETの突起側面を同じ角度だけ回転させるのが良い。このように同じ角度だけ回転させることによって、これらのMISFETのレイアウトが容易であり、CMISの遅延指標を小さくすることができる。
- [0065] 一つの好ましい形態はn型のMISFET及びp型のMISFETの突起側面の回転角度が共に45°の場合である。図2(a)及び(b)の配置を基準状態とした場合、この配

置の半導体装置を<00-1>から見た図を図4(a)及び(b)に示す。図4(a)ではn型のMISFET2001の突起側面の結晶方位は(010)面、p型のMISFET2002の突起側面の結晶方位は(100)面となる。図4(b)ではn型のMISFET2001とp型のMISFET2002の突起側面の結晶方位は共に(010)面となる。また、この場合のn型のMISFET及びp型のMISFETの移動度は図8(a)の点(B)及び図8(b)の点(E)で表される。

[0066] 図8(a)より点(B)の状態は、基準状態(点(A))の時と比べてn型のMISFETの移動度が高くなっており、測定したCMISの遅延指標は図9より8.8(基準状態)から8.5へと低下している。従って、CMISのキャリア移動特性は従来のCMISと比べて向上している。また、n型のMISFET及びp型のMISFETの突起側面が互いに垂直又は平行となるように配置されているため、MISFETのレイアウトが容易となり、MISFETの配置を最適化することができる。

[0067] また、図8(b)より、p型のMISFETの突起側面を基準状態から $0^{\circ}$ 以上 $10^{\circ}$ 以下の角度で固定又は回転させると、p型のMISFETの移動度は図8(b)中の点(D)に固定されるか点(D)近傍に存在し、高い移動度を示す。p型のMISFETの突起側面をこのようにしつつn型のMISFETの突起側面を $90^{\circ}$ 以下の角度で回転させると、移動度は図8(a)の点(A)から点(B)を経由して点(C)に至る。このため、基準状態と比べてn型のMISFETの移動度を大きくすることができる。また、CMISの遅延指標も基準状態と比べて小さくすることができ、CMISのキャリア移動特性は従来のCMISと比べて向上する。

[0068] 異なる好ましい一つの実施形態では、n型のMISFET及びp型のMISFETの移動度が好ましい範囲となる角度でn型のMISFET及びp型のMISFETの突起側面を回転させる。好ましくは、p型のMISFETの突起側面を基準状態から $0^{\circ}$ 以上 $10^{\circ}$ 以下の角度で固定又は回転させ、n型のMISFETの突起側面の回転角度が $45^{\circ}$ であるのが良い。

[0069] 図2(a)及び(b)の配置を基準状態とした場合のこの配置の半導体装置を<00-1>から見た図を図5(a)及び(b)に示すp型のMISFETの突起側面は基準状態に固

定)。図5(a)ではn型のMISFET2001の突起側面の結晶方位は(010)面、p型のMISFET2002の突起側面の結晶方位は(110)面となる。また、図5(b)では、n型のMISFET2001の突起側面の結晶方位は(010)面、p型のMISFET2002の突起側面の結晶方位は(-110)面となる。この場合のn型のMISFETの移動度は図8(a)の点(B)、p型のMISFETの移動度は図8(b)の点(D)で表される。

- [0070] 図8より基準状態(点(A))の時と比べてn型のMISFETの移動度が高くなっており、p型のMISFETの移動度は点(D)の移動度と同じである。従って、測定したCMISの遅延指標は図9より8.8(基準状態)から4.7に低下し、CMISのキャリア移動特性は従来のCMISと比べて向上する。
- [0071] なお、図5(a)及び(b)の配置は、図2(a)及び(b)の配置から1回又は複数回の突起側面の回転操作によって得ることができる。例えば、図2(a)及び(b)の配置においてn型のMISFETの突起側面のみを45°回転させることによって図5(a)及び(b)の配置とすることができる。この場合、n型のMISFETの移動度は図8(a)を通して点(A)点から点(B)へ移動する。一方、p型のMISFETの移動度は図8(b)中の点(D)点から移動しない。このように突起側面を回転させることによって、キャリア移動特性に優れたCMISを得ることができる。
- [0072] また、図2(a)及び(b)の配置から突起側面の回転によって図4(a)及び(b)の配置とした後、更にp型のMISFETの突起側面を45°回転させることによって図5(a)及び(b)の配置とすることもできる。この場合、n型のMISFETの移動度は図8(a)上を点(A)から点(B)へ移動する。一方、例えば、図5(b)の状態を得る場合は、p型のMISFETの移動度は図8(b)上を点(D)から点(E)へ移動した後(図2から図4への突起側面の回転)、図2(a)を基準状態とした場合では点(F)に至り、図2(b)を基準状態とした場合では点(D)に戻る(図4から図5への突起側面の回転)。このように突起側面を回転させることによって、キャリア移動特性に優れたCMISを得ることができる。
- [0073] 本実施形態ではn型及びp型のMISFETの基板と平行な面の結晶方位は{100}面となる。好ましくは、n型のMISFETの突起状半導体領域の結晶方位は、その側面が実質上基板と平行な面と直交する{100}面であるのが良い。この場合、図8(a)

よりn型のMISFETの移動度は最大となる。このため、p型のMISFETの突起状半導体領域側面の結晶方位がどの面であっても、n型のMISFET及びp型のMISFETの突起状半導体領域側面の結晶方位が共に実質上{110}面である場合と比べてCMISの遅延指標は低下する。従って、キャリア移動特性に優れたCMISを得ることができる。

[0074] 好ましくは、p型のMISFETの突起状半導体領域の結晶方位は、その側面が実質上基板と平行な面と直交する{110}面であり、n型のMISFETの突起状半導体領域の結晶方位は、この{110}面と異なるのが良い。この場合、図8(b)よりp型のMISFETの移動度は最大値となる。また、図8(a)よりn型のMISFETの移動度は最低値(図8(a)中の点(A)及び(C))とはならない。このため、n型のMISFET及びp型のMISFETの突起状半導体領域側面の結晶方位が共に実質上{110}面である場合と比べてCMISの遅延指標は低下する。従って、キャリア移動特性に優れたCMISを得ることができる。

[0075] より好ましくは、n型のMISFETの突起状半導体領域側面の結晶方位が、実質上基板と平行な面と直交する{100}面であり、且つp型のMISFETの突起状半導体領域側面の結晶方位が、実質上基板と平行な面と直交する{110}面であるのが良い。このとき、図8(a)及び(b)よりn型のMISFET及びp型のMISFETの移動度が最大値となるため、CMISの遅延指標は低い値となり、キャリア移動特性に優れたCMISを得ることができる。

[0076] 第一の実施形態においては、基板と平行な面が{100}であることから、フィン型トランジスタと平面型トランジスタを同一基板上で混在させる場合において優位性を持つ。その第一の理由は、平面型トランジスタから成るCMIS、及びn型MISFETの移動度は、{100}面に形成されるとき最も有利となるからである。第二の理由は、{100}面上のMISFETは従来の平面MISFETと設計上の互換性を有することである。図17にフィン型トランジスタと平面型トランジスタを混在させた構造の一例を示す。

[0077] (第二の実施態様)

本発明の第二の実施態様では、n型のMISFETおよびp型のMISFETの基板と平行な面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)の結晶方位と、n型のMISFET



Tの突起側面の結晶方位と、p型のMISFETの突起側面の結晶方位と、の3者がそれぞれ互いに直行する{100}面となる状態を基準状態とする。そして、n型のMISFETの突起側面の法線を回転中心として、n型のMISFET及びp型のMISFETの基板と平行な面及びp型のMISFETの突起側面を $-45^\circ$ 以上 $45^\circ$ 以下の角度で固定又は回転させたものに相当する。ここで、「回転させる」とは、実空間内での実体の回転ではなく、n型のMISFETとp型のMISFETの相対的な結晶方位の配置を固定したまま、結晶座標系内でFinを回転することで、Finの結晶方位を変更することを意味する。すなわち、このような電流方向となる側面を有するように、突起状半導体領域を形成することを意味する。

[0078] また、このような結晶方位を有することによって、CMISは高いキャリア移動特性を有することができる。また、n型のMISFETとp型のMISFETは突起側面が互いに直交するように配置されているため、MISFETのレイアウトが容易な最適な配置を設計することができる。

[0079] 基準状態のMISFETの基板に平行な面は(100)面、(010)面、(001)面の何れの面であっても良い。基板と平行な面がこれらの何れの面であっても、n型のMISFET及びp型のMISFETの基板と平行な面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)の結晶方位及び突起側面の結晶方位が互いに直交する{100}面であり、これらの面は結晶の対称性から等価である。

[0080] 例えば、MISFETの基板に平行な面の結晶方位が(100)面、n型のMISFETの突起側面の結晶方位が(001)面、p型のMISFETの突起側面の結晶方位が(010)面の基準状態では $\langle 001 \rangle$ が回転中心となる。MISFETの基板に平行な面の結晶方位が(010)面、n型のMISFETの突起側面の結晶方位が(100)面、p型のMISFETの突起側面の結晶方位が(001)面の基準状態では $\langle 100 \rangle$ が回転中心となる。また、MISFETの基板に平行な面の結晶方位が(001)面、n型のMISFETの突起側面の結晶方位が(010)面、p型のMISFETの突起側面の結晶方位が(100)面の基準状態では $\langle 010 \rangle$ が回転中心となる。

[0081] p型のMISFETの突起側面はn型のMISFETの突起側面の法線を4回対称軸とする。このため、p型のMISFETの突起側面の回転角度が $45^\circ$ となった時、p型の

MISFETの移動度は $-45^\circ$  のときと同じとなり、 $45^\circ$  から更に回転角度を大きくすると、移動度は $-45^\circ$  から角度を大きくした場合と同様の挙動を示す。従って、p型のMISFETの突起側面の回転角度は $-45^\circ$  以上 $45^\circ$  以下で全ての回転角度( $-180^\circ$  ~  $180^\circ$ )の移動度を表せることとなる。

[0082] また、n型のMISFETの突起側面の法線を回転中心としているため、回転に伴いp型のMISFETの突起側面及びMISFETの基板に平行な面の結晶方位(面の法線の向き、つまり、「面方位」)は変化するが、n型のMISFETの突起側面の結晶方位は変化しない。

[0083] 好ましくは、突起側面を基準状態に固定するのが良い。MISFETの基板に平行な面の結晶方位が(001)面、n型のMISFETの突起側面の結晶方位が(010)面、p型のMISFETの突起側面の結晶方位が(100)面の基準状態を $\langle 00-1 \rangle$ から見た図を図4に示す。この基準状態から突起側面を回転させた場合のキャリア移動特性の変化を説明する。図8(c)はp型のMISFETの移動度と結晶方位との関係を示したものである。尚、図8(b)は基板の法線を回転中心としてp型のMISFETの突起側面を回転させているのに対して、図8(c)はn型のMISFETの突起側面の法線を回転中心として突起側面を回転させており、図8(b)と図8(c)とでは突起側面の回転中心が異なる。基準状態にあるとき、n型のMISFETの移動度は図8(a)の点(B)、p型のMISFETの移動度は図8(c)の点(H)で表される。また、この時、測定したCMISの遅延指標は図9より8.5である。図8(b)の点(E)と図8(c)の点(H)に対応する面は等価である。

[0084] これに対して、n型のMISFETの突起側面の法線を回転中心として、突起側面を $-45^\circ$  以上 $0^\circ$  未満の角度で回転させると、n型のMISFETの突起側面の結晶方位は変化しないため、移動度は図8(a)の点(B)から移動しない。一方、p型のMISFETのキャリア移動度は、図8(c)の(G)に至る。

[0085] 点(G)は突起側面を $-45^\circ$  回転させた場合、点(H)は基準状態のp型のMISFETの移動度を表す。一方、突起側面を $0^\circ$  を超え $45^\circ$  以下の角度で回転させると、p型のMISFETのキャリア移動度は、図8(c)の点(H)を起点として点(I)へ至る。点(I)は突起側面を $45^\circ$  回転させた場合のp型のMISFETの移動度を表す結晶の対称

性から点(G)の移動度は点(I)の移動度と同一である。点(I)は突起側面を $45^\circ$ 回転させた場合のp型のMISFETの移動度を表す。

[0086] また、好ましくはn型のMISFET及びp型のMISFETの突起側面を $45^\circ$ 回転させるのが良い。図4の配置を基準状態とした場合の突起側面を $45^\circ$ 回転させた配置の半導体装置を図6に示す。図6はこの配置を $\langle 101 \rangle$ からみた図である。この配置ではn型のMISFET2001の突起側面の結晶方位は(010)面、p型のMISFET2002の突起側面の結晶方位は(10-1)面、MISFETの基板と平行な面の結晶方位は(101)面となる。この場合のn型のMISFETの移動度は図8(a)の点(B)、p型のMISFETの移動度は図8(c)の点(I)で表される。また、測定したCMISの遅延指標は図9より6.1となり、図2の配置に対応する従来のCMISの遅延指標よりも低くなる。従って、CMISのキャリア移動特性は従来のCMISと比べて向上する。尚、回転角度は $-45^\circ$ であっても同様の結果が得られる。

[0087] 好ましくは、n型のMISFETの突起状半導体領域の結晶方位は、その側面が実質上{100}面であり、n型とp型のMISFETの突起状半導体領域の側面が直交するのが良い。この場合、MISFETの基板と平行な面及びp型のMISFETの突起側面の結晶方位は、ともに{100}面とすること、又はともに{110}面とすることが可能となる。また、この時、図8(a)よりn型のMISFETの移動度は最大値となるため、CMISの遅延指標は低い値となり、キャリア移動特性に優れたCMISを得ることができる。

[0088] より好ましくは、n型のMISFETの突起状半導体領域の結晶方位は、基板と平行な面が実質上{110}面、その側面が実質上この{110}面と直交する{100}面であり、p型のMISFETの突起状半導体領域の結晶方位は、基板と平行な面が実質上{110}面、その側面が実質上この{110}面と直交する{110}面であるのが良い。このとき、図8(a)及び(c)より、n型のMISFET及びp型のMISFETの移動度が最大値となるため、CMISの遅延指標は低い値となり、キャリア移動特性に優れたCMISを得ることができる。

[0089] (第三の実施態様)

本発明の第三の実施態様では、n型のMISFET及びp型のMISFETの基板と平行な面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)の結晶方位を{100}面、n型電

界効果トランジスタ及びp型電界効果トランジスタの突起側面の結晶方位を{110}面とし、且つこれら三者の面がそれぞれ互いに直交する状態を基準状態とする。そして、p型のMISFETの突起側面の法線を回転中心として、n型のMISFET及びp型のMISFETの基板と平行な面及びn型のMISFET突起側面を90°以下の角度で回転させたものに相当する。

[0090] ここで、「回転させる」とは、実空間内での実体の回転ではなく、n型のMISFETとp型のMISFETの相対的な結晶方位の配置を固定したまま、結晶座標系内でFinを回転することで、Finの結晶方位を変更することを意味する。すなわち、このような電流方向となる側面を有するように、突起状半導体領域を形成することを意味する。この回転によって本実施形態のMISFETの基板と平行な面及びn型のMISFET突起側面の結晶方位は、基準状態と異なる結晶方位となる。また、このような結晶方位を有することによって、CMISは高いキャリア移動特性を有することができる。また、n型のMISFETとp型のMISFETは突起側面が互いに直交するように配置されているため、MISFETのレイアウトが容易な最適な配置を設計することができる。

[0091] 基準状態のMISFETの基板に平行な面は(100)面、(010)面、(001)面の何れの面であっても良い。基板と平行な面がこれらの何れの面であっても、n型のMISFET及びp型のMISFETの突起側面の結晶方位が{110}面であって、且つこれらの面が直交しており、これらのMISFETの回転角度が同一の場合はシリコン結晶の対称性から同一の移動度となる。

[0092] 例えば、MISFETの基板に平行な面の結晶方位が(100)面、n型のMISFETの突起側面の結晶方位が(0-11)面、p型のMISFETの突起側面の結晶方位が(011)面の基準状態では<011>が回転中心となる。MISFETの基板に平行な面の結晶方位が(010)面、n型のMISFETの突起側面の結晶方位が(10-1)面、p型のMISFETの突起側面の結晶方位が(101)面の基準状態では<101>が回転中心となる。また、MISFETの基板に平行な面の結晶方位が(001)面、n型のMISFETの突起側面の結晶方位が(-110)面、p型のMISFETの突起側面の結晶方位が(110)面の基準状態では<110>が回転中心となる。

[0093] また、p型のMISFETの突起側面の法線を回転中心とした場合、回転に伴いn型

のMISFETの突起側面及びMISFETの基板に平行な面の結晶方位は変化するが、p型のMISFETの突起側面の結晶方位は変化しないが、基板と平行な面の結晶方位は変化する。

基準状態からp型のMISFETの突起側面の法線を回転中心としてn型のMISFETの突起側面を回転させた場合のキャリア移動特性の変化を説明する。図8(d)は、図8(a)の基板法線を回転中心として回転させた場合のn型のMISFETの回転角度が0〜45°の移動度を示したものに相当する。

[0094] 基準状態にあるとき、n型のMISFETの移動度は図8(d)の点(A)、p型のMISFETの移動度は図8(b)の点(D)で表される。また、この時、測定したCMISの遅延指標は図9より8.8である。

[0095] p型のMISFETの突起側面の法線を回転中心として、n型のMISFETの突起側面を90°以下の角度で回転させると、p型のMISFETの突起側面の結晶方位は変化せず、基板と平行な面の結晶方位が変化する。{110}面は2回対称なので、面方位が同一でも電流の面内での向きによって移動度が変化する。このため、p型のMISFETの移動度は図8(b)の点線の方向に沿って点(D)から点(G)に移動する。また、n型のMISFETのキャリア移動度は図8(d)の点(A)を起点として、直線上を変化しつつ回転角度が90°になったとき点(B)に至る。ここで、基板法線を回転中心として回転させた場合には、45°の回転で点(A)から点(B)に至るが、p型のMISFETの突起側面の法線を回転中心として回転させた場合には90°の回転で点(A)から点(B)に至る。このように突起側面を回転させた場合、p型のMISFETの移動度は基板の法線を回転中心として、突起側面を回転させた場合と比べて、n型のMISFETのキャリア移動度は高くなる。従って、測定したCMISの遅延指標は小さくなり、高いキャリア移動特性を達成することができる。

[0096] 好ましくはn型のMISFETの突起側面を90°回転させるのが良い。図2の配置を基準状態とした場合のn型のMISFET及びp型のMISFETの突起側面を90°回転させた配置の半導体装置を図7に示す。図7はこの配置を<-110>からみた図である。この配置ではn型のMISFET2001の突起側面の結晶方位は(001)面、p型のMISFET2002の突起側面の結晶方位は(110)面、MISFETの基板と平行な面の

結晶方位は(-110)面となる。この場合、n型のMISFETの移動度は図8(d)の点(B)、p型のMISFETの移動度は図8(b)の点(G)で表される。また、測定したCMISの遅延指標は図9より6.1(図6の結果に相当。)となり、図2の配置に対応する従来のCMISの遅延指標よりも低くなる。従って、CMISのキャリア移動特性は従来のCMI Sと比べて向上する。

[0097] 好ましくはp型のMISFETの突起状半導体領域の結晶方位は、その側面が実質上{110}面であり、n型MISFETの突起状半導体領域の側面が実質上この{110}面と直交し、且つその側面の結晶方位が実質上{110}面とは異なるのが良い。この場合、MISFETの基板と平行な面の面の結晶方位を{110}面、p型のMISFETの突起側面の結晶方位を{100}面とすることが可能となる。また、この時、図8(c)よりp型のMISFETの移動度は最大値となるため、CMISの遅延指標は低い値となり、キャリア移動特性に優れたCMISを得ることができる。

[0098] (第四の実施態様)

第一の実施態様において、n型のMISFETとp型のMISFETの突起側面は平行となる配置を保ったまま、これらのMISFETの突起側面を同じ45度だけ回転させた場合と同等の効果を、以下のようにしても得ることができる。すなわち、n型のMISFET及びp型のMISFETの基板に平行な面は{100}面(ただし、オフ角度が10°以下の面も含む。)であり、このn型のMISFET及びp型のMISFETの突起側面の結晶方位は同一(突起側面は互いに平行)であり、かつこのMISFETの突起側面の結晶方位は基板と垂直な{100}面とした状態を基準状態とする。第四の実施態様は、この基準状態から、n型及びp型のMISFETの突起側面の法線を回転中心として、n型のMISFET及びp型のMISFETの基板と平行な面を0°以上90°以下の角度で固定又は回転させたものに相当する。

ここで、「基板と平行な面を回転する」とは、実空間内での実体の回転ではなく、n型のMISFETとp型のMISFETの突起側面の面方位を固定したまま、結晶座標系内でFinを回転することで、Finの結晶方位を変更することを意味する。

[0099] 本実施態様においては、n型のMISFETとp型のMISFETのチャンネルとなる面はともに{100}面に固定され、電流が流れる向きは{100}面内でのみ変化する。{100}

面内での移動度は、結晶の4回対称性に起因して電流の向きへの依存性が存在しない。よって本実施の態様は、第一の実施態様において、n型のMISFETとp型のMISFETの突起側面は平行となる配置を保ったまま、これらのMISFETの突起側面を同じ45度だけ回転させ場合と同等の効果を得ることができる。

[0100] (半導体装置の製造方法)

本発明に係る半導体装置は、従来の半導体装置の製造方法を用いて製造することができる。しかし、異なる結晶方位の基板を用いている点、フォトリソグラフィを行なう際に所定の角度だけ回転させた配置でレジストマスクを形成する点が、従来の製法と異なる。

[0101] 図10に図12(b)に示したように突起の一部がSOI基板の単結晶シリコン層の一部であるフィン型のMISFETを含む半導体装置の製造工程を示す。まず、貼り合わせ又はSIMOXによってシリコンウェハ基板3001、 $\text{SiO}_2$ 酸化膜3002及び単結晶シリコン膜3003からなるSOI基板を製造する。単結晶シリコン膜3003の結晶方位は、第一の実施形態では{100}面、第二及び第三の実施形態では所定の結晶方位のものを用いる。次に、SOI基板の表面上に熱酸化法によって $\text{SiO}_2$ 膜3004形成する(図10(a))。更に、不純物を単結晶シリコン膜3003にイオン注入し、半導体領域を形成する(図10(b))。その後、エッチングによって $\text{SiO}_2$ 膜3004除去する(図10(c))。なお、上記したイオン注入を省略することで、チャネルに意図的には不純物を導入しないMISFET(ノンドープ・チャネルMISFET)としても良い。また、その前後の熱酸化膜形成と除去は省略しても良い。

[0102] 続いて、単結晶シリコン膜3003の全面にフォトレジストを塗布し、フォトリソグラフィを用いて、レジストマスク3005を形成する(図10(d))。次に、このレジストマスク3005をエッチングマスクとして、単結晶シリコン膜3003を異方性ドライエッチングした後、レジストマスク3005を除去し、 $\text{SiO}_2$ 膜3002上に所定の高さの突起3006を形成する(図10(e))。このとき、適宜 $\text{SiO}_2$ 膜を異方性エッチングにより下方向に、あるいは等方性エッチングにより下方向とその横方向に、後退させることにより、それぞれ $\pi$ ゲート型のFinFETと $\Omega$ ゲート型のFinFETを形成することができる。

[0103] 次に、熱酸化法によって単結晶シリコンの突起3006の表面に薄い $\text{SiO}_2$ 膜3007を

形成する。更に、この $\text{SiO}_2$ 膜3007上にCVD法によってポリシリコン膜を形成し、不純物拡散で導電性としてから、所定パターンに選択的エッチングを施してゲート電極3008を形成する。次に、このゲート電極3008をマスクとして不純物を単結晶シリコンからなる突起3006にドーピングし、ソース領域及びドレイン領域を形成する(図10(f))。

[0104] 図11に図12(a)に示したように突起の一部がシリコンウェハ基板の一部であるフィン型のMISFETを含む半導体装置の製造工程を示す。まず、単結晶シリコン膜3003の表面上に熱酸化法によって $\text{SiO}_2$ 酸化膜3004形成する(図11(a))。単結晶シリコン膜3003の結晶方位は、第一の実施形態では{100}面、第二及び第三の実施形態では所定の結晶方位のものをを用いる。次に、不純物を単結晶シリコン膜3003にイオン注入し、半導体領域を形成する(図11(b))。続いて $\text{SiO}_2$ 酸化膜3004上に低圧CVD法によりシリコン窒化膜3009を形成する(図11(c))。なお、上記したイオン注入を省略することで、チャネルに意図的には不純物を導入しないMISFET(ノンドーピング・チャネルMISFET)としても良い。また、その前後の熱酸化膜形成と除去は省略しても良い。

[0105] 続いて、シリコン窒化膜3009の全面にフォトリソグラフィを用いて、MOSFETを形成する部位にのみにフォトリソグラフィを残しレジストマスク3005を形成する(図11(d))。次に、このレジストマスク3005をエッチングマスクとして、単結晶シリコン膜3003を異方性ドライエッチングした後、レジストマスク3005を除去し、基板上に所定の高さの突起3006を形成する(図11(e))。

[0106] 次に、低圧CVD法により突起3006、 $\text{SiO}_2$ 酸化膜3004及びシリコン窒化膜3009からなる突起を全て埋め込む膜厚まで $\text{SiO}_2$ 酸化膜3010を形成する(図11(f))。続いて、 $\text{SiO}_2$ 酸化膜3010を所定の厚さまでエッチングし、素子分離用絶縁膜3011を形成する(図11(h))。

[0107] 次に、必要に応じて突起上の絶縁膜3004と3009を除去した後、熱酸化法によって突起の表面に薄い $\text{SiO}_2$ 酸化膜3007を形成する。更に、この $\text{SiO}_2$ 酸化膜3007上にCVD法によってポリシリコン膜を形成し、不純物拡散で導電性としてから、所定パターンに選択的エッチングを施してゲート電極3008を形成する。次に、このゲート電極3008をマスクとして不純物を単結晶シリコンからなる突起3006にドーピングし、ソース



領域及びドレイン領域を形成する(図11(f))。

[0108] 図11(g)において突起上の絶縁膜を除去しないことで、フィン上部とゲート電極3008との間にゲート絶縁膜より厚い絶縁膜を形成することができる。フィンがSOI上にある場合でも、同様の手法によりフィン上部とゲート電極との間にゲート絶縁膜より厚い絶縁膜を形成することができる。

[0109] 図17にFin型MISFETと平面型MISFETとを混在させた半導体装置(バルク基板型)の製造方法を示す。途中までの工程(図17(a)、(b))は、図11(a)～(f)の工程と同様である。その後、図11の製造方法では、フィン以外の部分に設けられた絶縁膜3010を後退させるが、図17の製造方法では、絶縁膜3010を、フィン型トランジスタを構成する部分では後退させるが、平面型トランジスタを構成する部分では後退させない点が異なる(図17(c))。

[0110] 次に、図17の製造方法では、フィン型トランジスタを構成する部分ではフィンの上面および側面上に、平面型トランジスタを構成する部分ではフィンの上面に絶縁膜を設ける。更に、フィン型トランジスタを構成する部分ではフィンを挟むように、平面型トランジスタを構成する部分ではフィンの上面上にゲート電極を設ける(図17(d))。図17(e)はこの混載型トランジスタを上面から見た図である。

## 請求の範囲

- [1] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、  
該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{100}面であり、  
該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面である、  
という条件を満足する半導体装置。
- [2] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、  
該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{110}面であり、  
該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{110}面とは異なる、  
という条件を満足する半導体装置。
- [3] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、  
該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{1

00}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交する{110}面である、

という条件を満足する半導体装置。

- [4] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その側面が実質上{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の側面が実質上、該{100}面と直交する、

という条件を満足する半導体装置。

- [5] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その側面が実質上{110}面であり、

該n型電界効果トランジスタを構成する突起状半導体領域の側面が実質上該{110}面と直交し、かつ該側面の結晶方位は実質上{110}面とは異なる、

という条件を満足する半導体装置。

- [6] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基

板と平行な面が実質上{110}面であり、その側面が実質上該{110}面と直交する{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{110}面であり、その側面が実質上該{110}面と直交する{110}面である、

という条件を満足する半導体装置。

- [7] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタを含む半導体装置であって、

該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が実質上該{100}面と直交し、かつ{110}面とは異なり、

該p型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その基板と平行な面が実質上{100}面であり、その側面が該n型電界効果トランジスタを構成する突起状半導体領域の側面と実質上平行又は直交する、

という条件を満足する半導体装置。

- [8] 前記n型電界効果トランジスタを構成する突起状半導体領域と前記p型電界効果トランジスタを構成する突起状半導体領域の基板と平行な面の結晶方位が同一であることを特徴とする請求項1から7のいずれかに記載の半導体装置。

- [9] 前記n型電界効果トランジスタを構成する突起状半導体領域と、前記p型電界効果トランジスタを構成する突起状半導体領域とがCMIS回路を構成する請求項1から8のいずれかに記載の半導体装置。

- [10] 基板と平行な面の結晶方位が{100}面(ただし、オフ角度が $10^\circ$ 以下の面も含む。)であり側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極を挟むように半導体領域内に形成されたソース領域及びドレイン領域と、を備えたn型電界効果トランジスタ及びp型電界効果トランジスタを有する半導体装置であって、

該n型電界効果トランジスタ及びp型電界効果トランジスタは、突起側面の結晶方位を基板と垂直な{110}面とした状態を基準状態とすると、該基準状態のn型電界効果トランジスタ及びp型電界効果トランジスタの突起側面を独立して、基板の法線を回転中心として0° 以上90° 以下の角度で固定又は回転(ただし、該n型電界効果トランジスタ及びp型電界効果トランジスタの回転角度が共に0° 及び90° の場合を除く。)させた結晶方位を有することを特徴とする半導体装置。

[11] 前記n型電界効果トランジスタ及びp型電界効果トランジスタは、前記基準状態のn型電界効果トランジスタ及びp型電界効果トランジスタの突起側面を同じ角度だけ回転させた結晶方位を有することを特徴とする請求項10記載の半導体装置。

[12] 前記n型電界効果トランジスタ及びp型電界効果トランジスタの突起側面の基準状態からの回転角度が共に45° であることを特徴とする請求項11に記載の半導体装置。

[13] 前記p型電界効果トランジスタは、基準状態の突起側面を0° 以上10° 以下の角度で固定又は回転させた結晶方位を有することを特徴とする請求項10に記載の半導体装置。

[14] 前記n型電界効果トランジスタの突起側面の基準状態からの回転角度が45° であることを特徴とする請求項13記載の半導体装置。

[15] 側面にチャンネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極を挟むように半導体領域内に形成されたソース領域及びドレイン領域と、を備えたn型電界効果トランジスタ及びp型電界効果トランジスタを有する半導体装置であって、

該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面(ただし、オフ角度が10° 以下の面も含む。)の結晶方位及び突起側面の結晶方位をそれぞれ互いに直交する{100}面とした状態を基準状態とすると、

該n型電界効果トランジスタ及びp型電界効果トランジスタは、

該n型電界効果トランジスタの突起側面の法線を回転中心として、該基準状態の該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面及びp型電

界効果トランジスタの突起側面を $-45^{\circ}$ 以上 $45^{\circ}$ 以下の範囲で同じ角度だけ固定又は回転させた結晶方位を有することを特徴とする半導体装置。

- [16] 前記基板と平行な面の結晶方位及びp型電界効果トランジスタの突起側面の結晶方位が、それぞれ基準状態の基板と平行な面の結晶方位及びp型電界効果トランジスタの突起側面の結晶方位と一致することを特徴とする請求項15記載の半導体装置。
- [17] 前記基板と平行な面及びp型電界効果トランジスタの突起側面の基準状態からの回転角度が $45^{\circ}$ であることを特徴とする請求項15記載の半導体装置。
- [18] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極を挟むように半導体領域内に形成されたソース領域及びドレイン領域と、を備えたn型電界効果トランジスタ及びp型電界効果トランジスタを有する半導体装置であって、  
該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面(ただし、オフ角度が $10^{\circ}$ 以下の面も含む。)の結晶方位を{100}面、突起側面の結晶方位をそれぞれ{110}面とし、且つ該{100}面及び{110}面をそれぞれ互いに直交させた状態を基準状態とするとき、  
該n型電界効果トランジスタ及びp型電界効果トランジスタは、  
該p型電界効果トランジスタの突起側面の法線を回転中心として、該基準状態の該n型電界効果トランジスタ及びp型電界効果トランジスタの基板と平行な面及びn型電界効果トランジスタの突起側面を $90^{\circ}$ 以下の範囲で同じ角度だけ回転させた結晶方位を有することを特徴とする半導体装置。
- [19] 前記基板と平行な面及びn型電界効果トランジスタの突起側面の基準状態からの回転角度が $90^{\circ}$ であることを特徴とする請求項18記載の半導体装置。
- [20] 側面にチャネルを形成する突起状の半導体領域と、少なくとも該側面上に絶縁膜を介して設けられたゲート電極と、該ゲート電極をはさむように半導体領域内に形成されたソース領域およびドレイン領域と、を備えたn型電界効果トランジスタおよびp型電界効果トランジスタとを含む半導体装置であって、  
該n型電界効果トランジスタを構成する突起状半導体領域の結晶方位は、その側

面が実質上{100}面であり、

該p型電界効果トランジスタを構成する突起状半導体領域の側面が実質上、該{100}面と平行である、

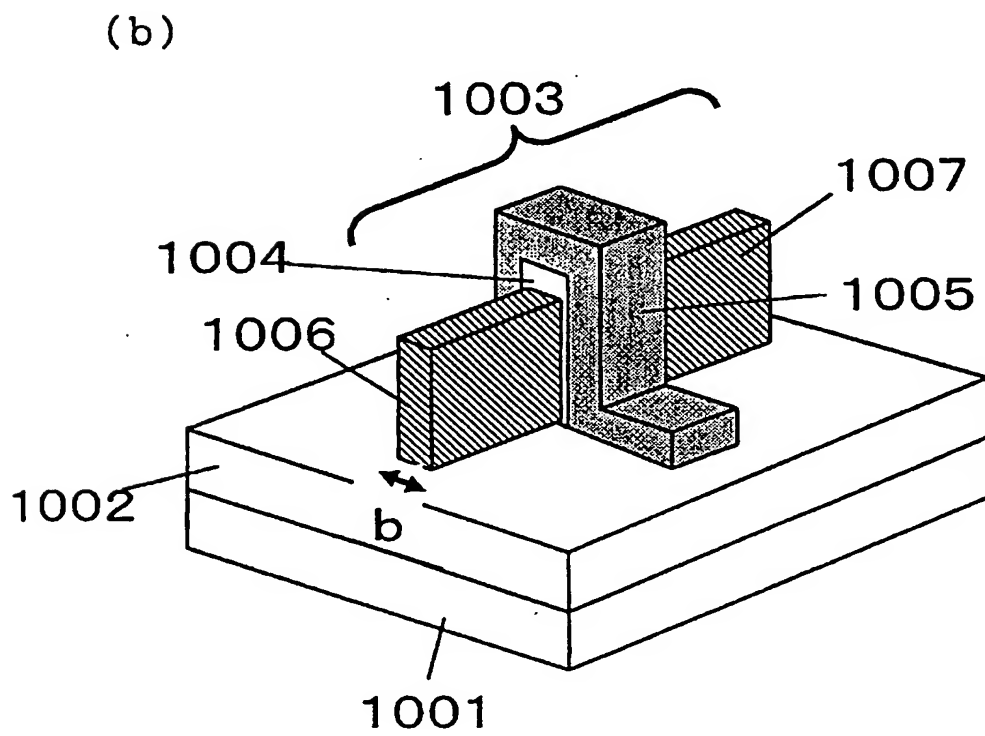
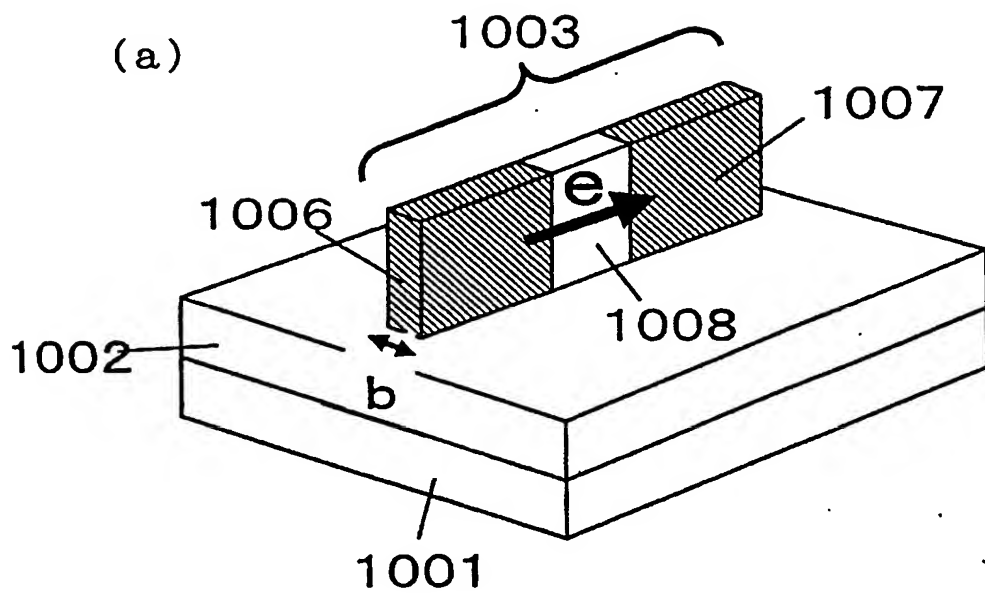
という条件を満足する半導体装置。

- [21] 前記半導体装置は更に、上面に主たるチャンネルが形成される突起状の半導体領域を有するプレーナ型の電界効果トランジスタを備え、

該プレーナ型の電界効果トランジスタを構成する突起状の半導体領域と、前記n型電界効果トランジスタを構成する突起状の半導体領域と、前記p型電界効果トランジスタを構成する突起状の半導体領域の、基板と平行な面の結晶方位が同一の{100}面であることを特徴とする請求項1から3、7、10から14のいずれかに記載の半導体装置。

- [22] 前記n型電界効果トランジスタを構成する突起状の半導体領域と、前記p型電界効果トランジスタを構成する突起状の半導体領域の、基板と平行な面に更にチャンネルを形成することを特徴とする、請求項1から21のいずれかに記載の半導体装置。

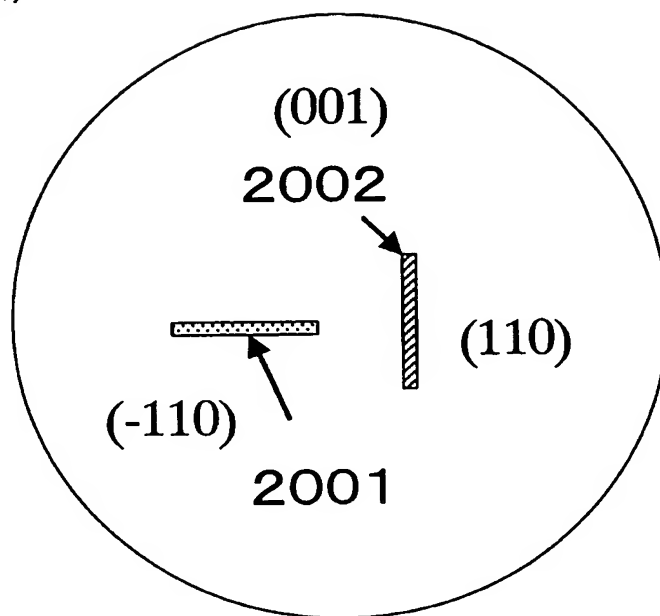
[図1]



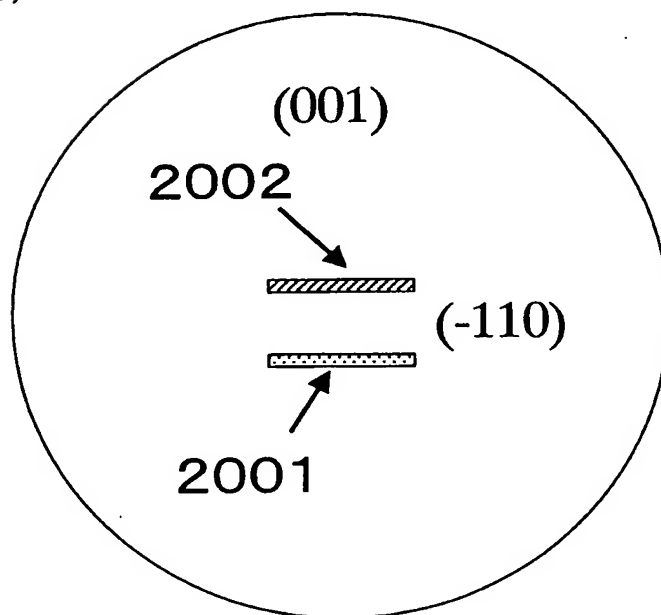


[図2]

(a)

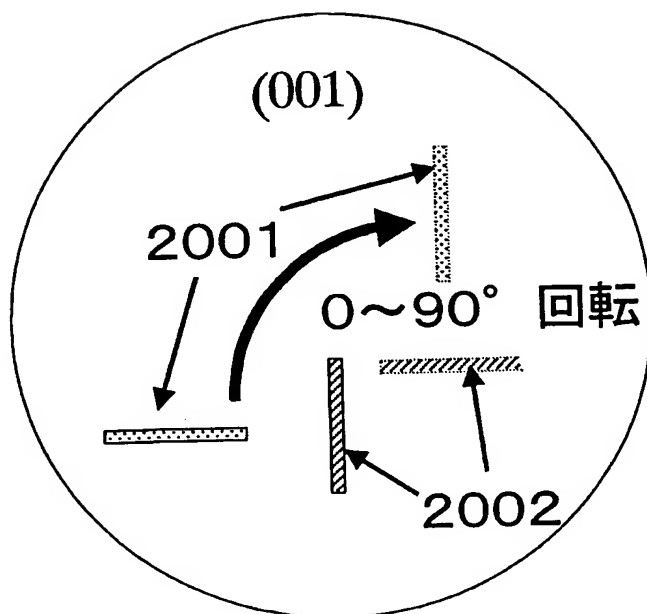


(b)

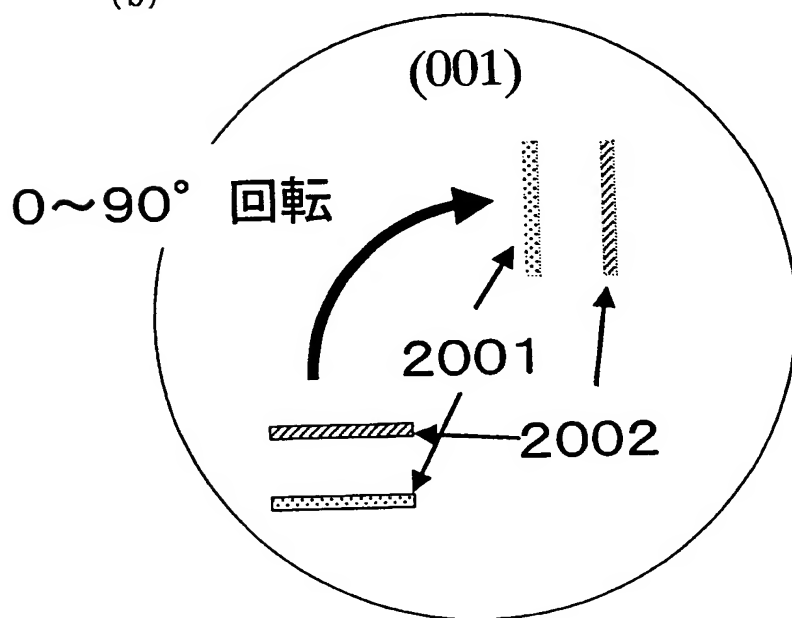


[図3]

(a)

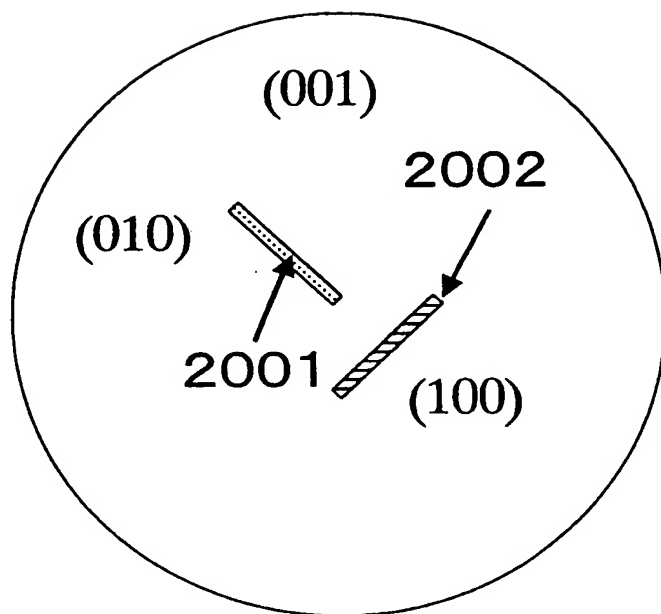


(b)

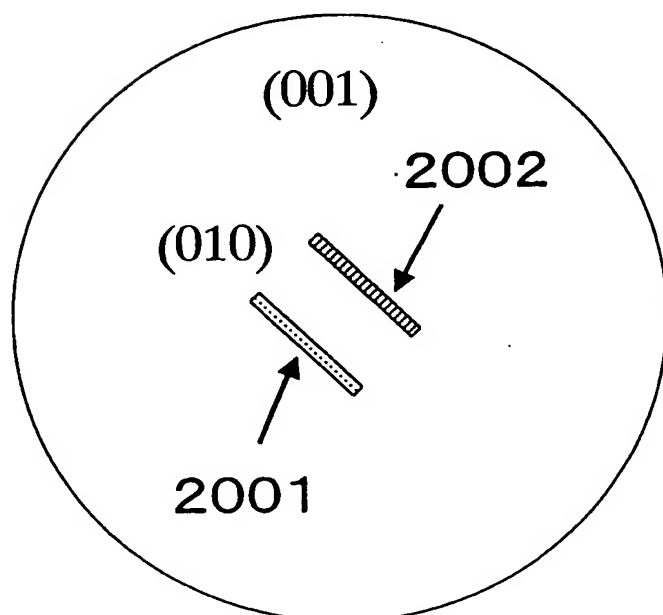


[図4]

(a)

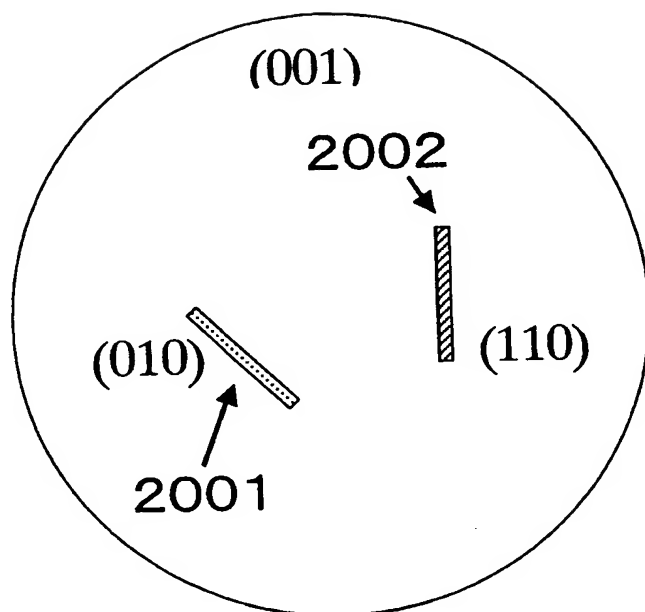


(b)

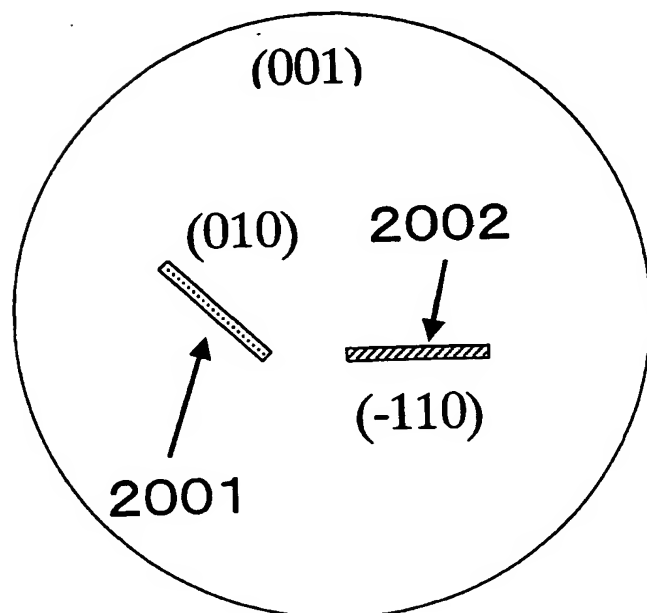


[図5]

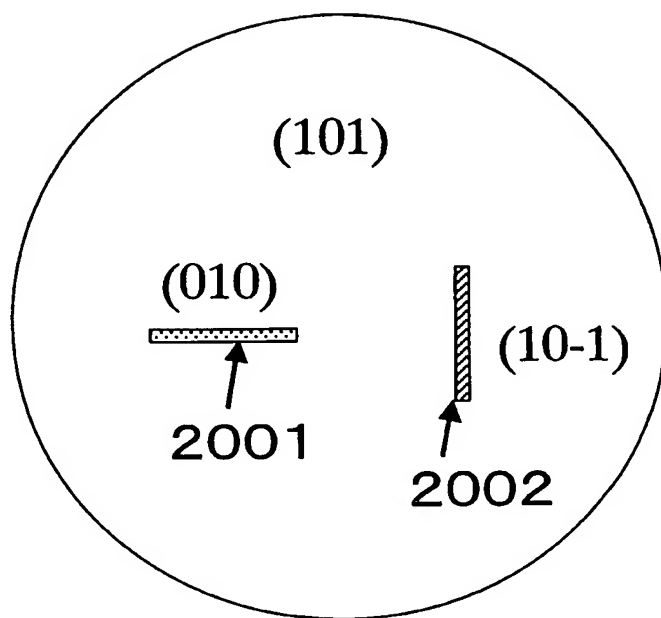
(a)



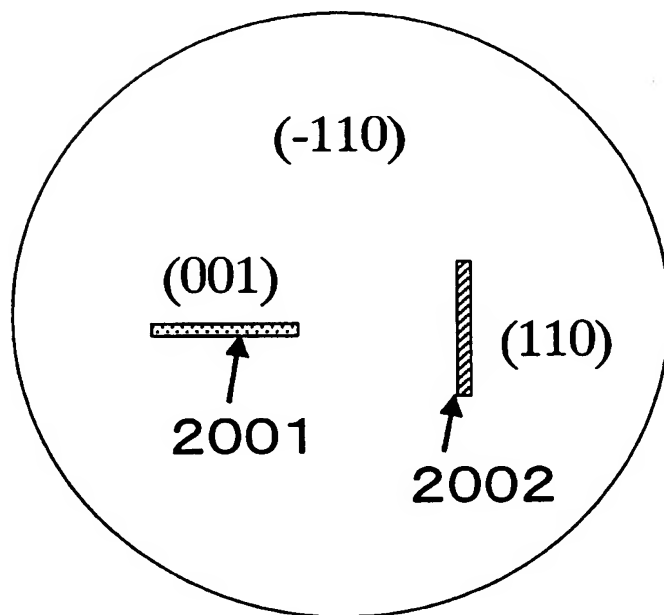
(b)



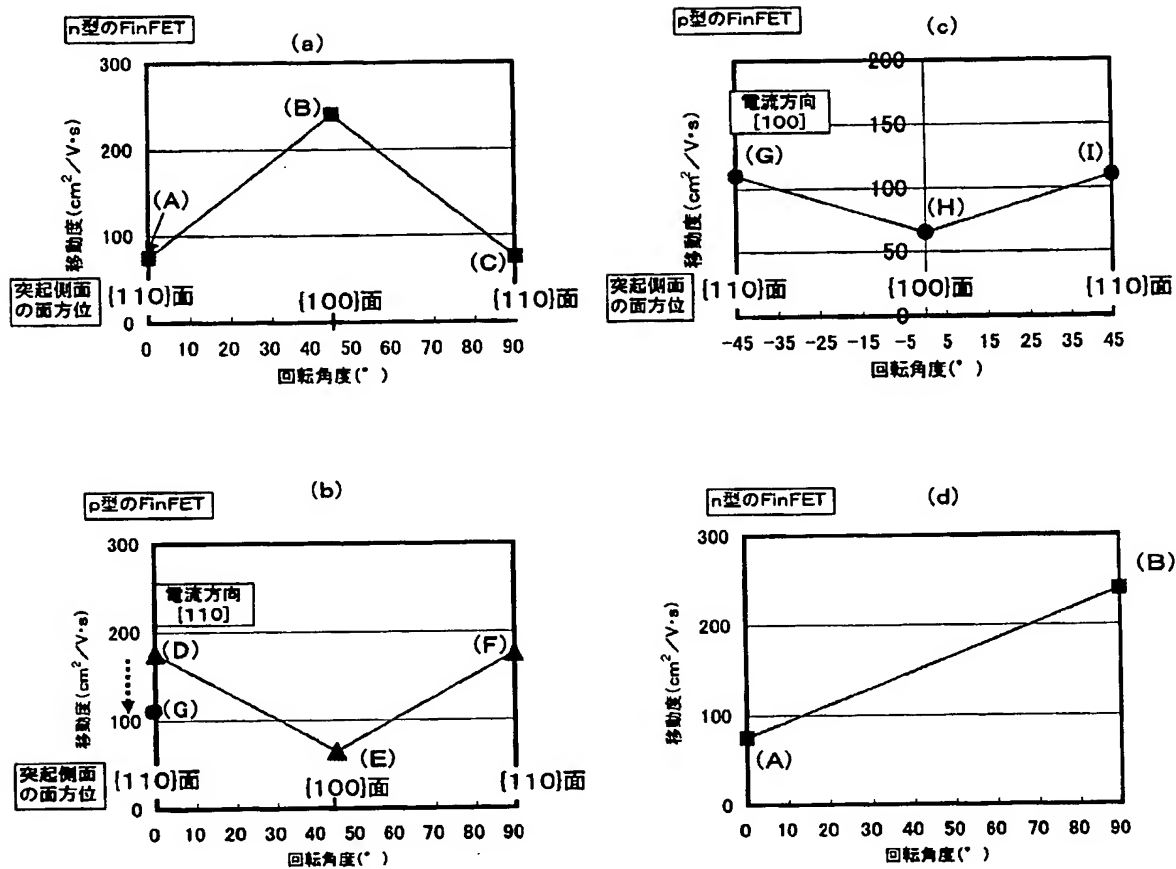
[図6]



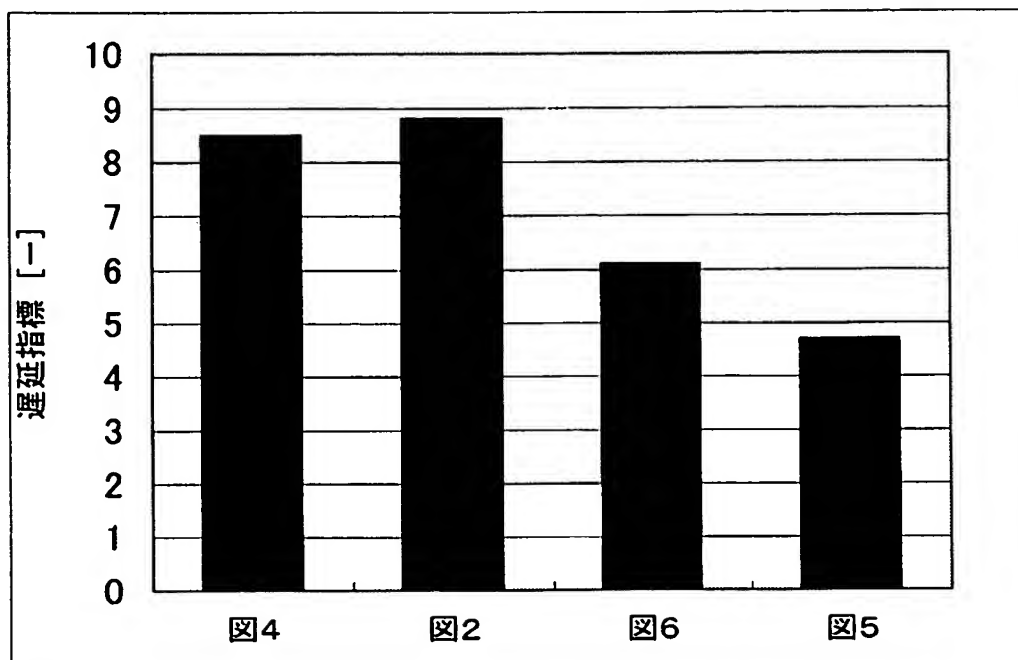
[図7]



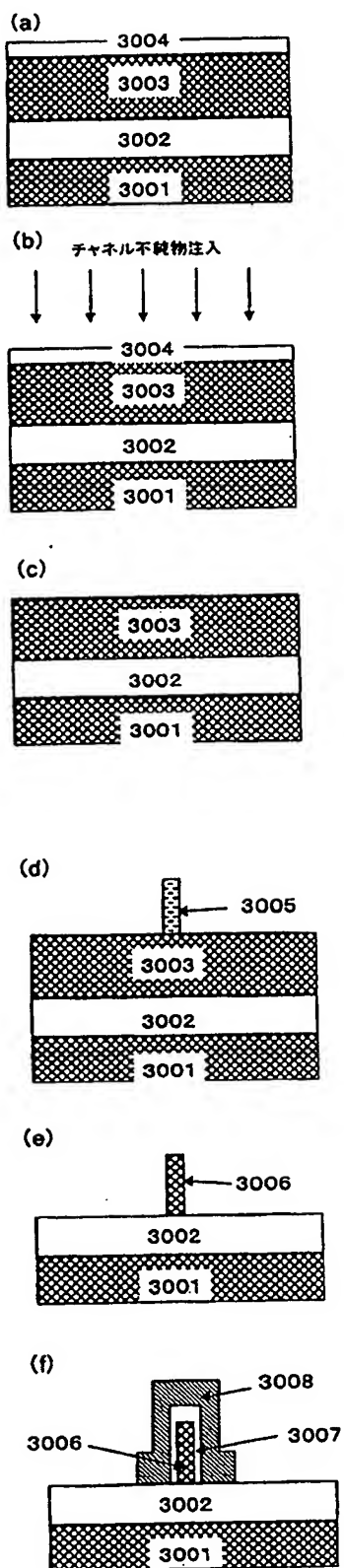
[図8]



[図9]

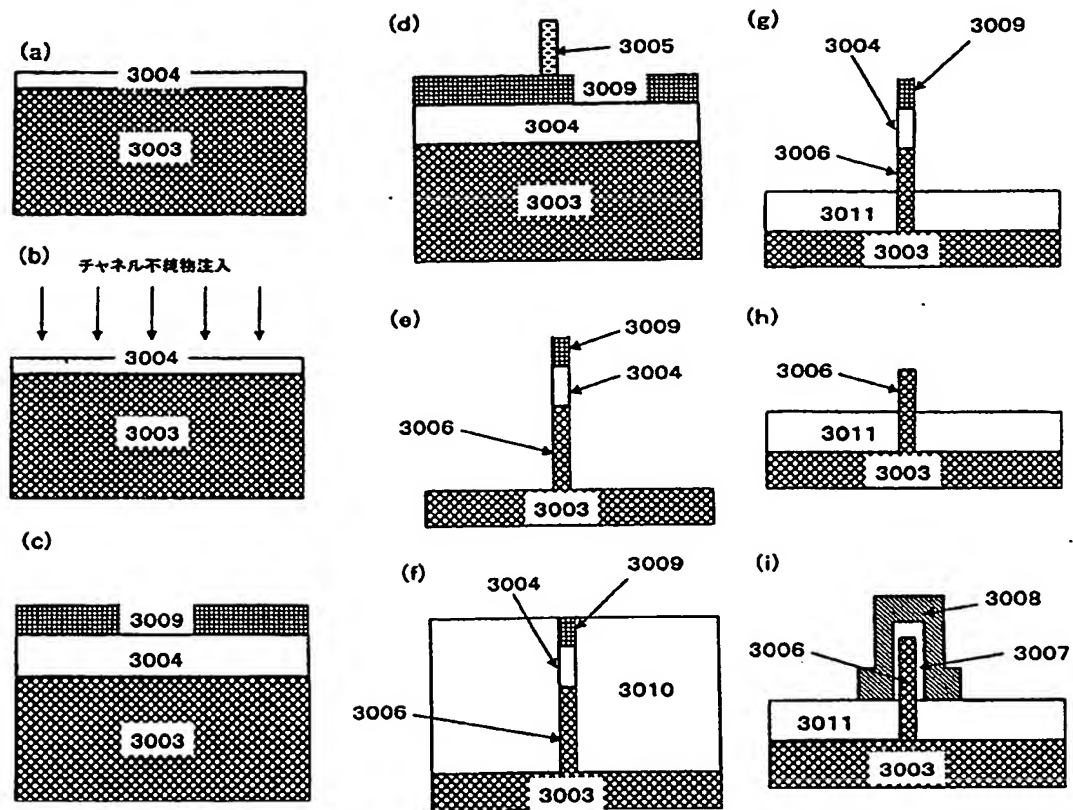


[図10]



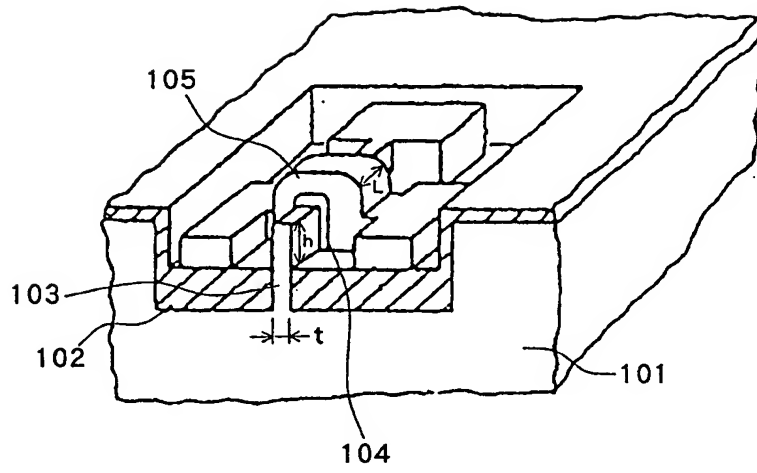


[図11]

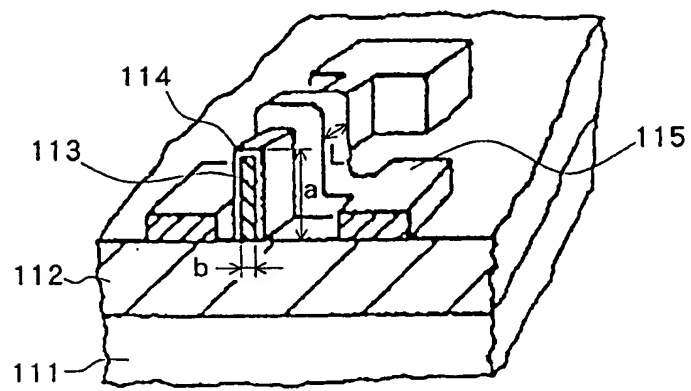


[図12]

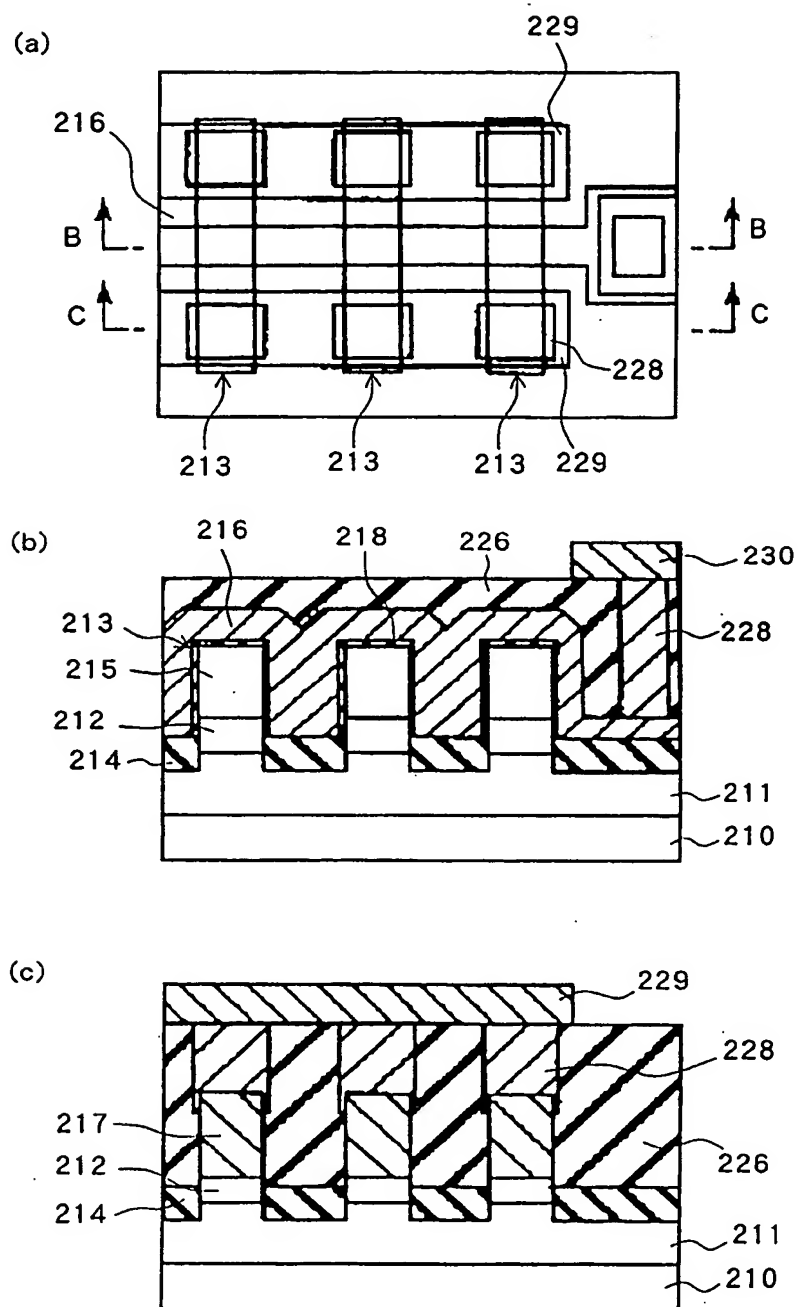
(a)



(b)

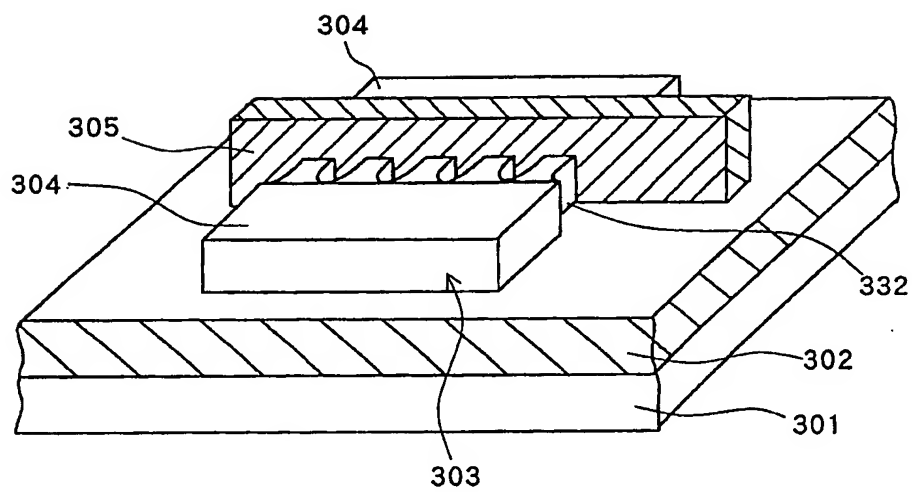


[図13]

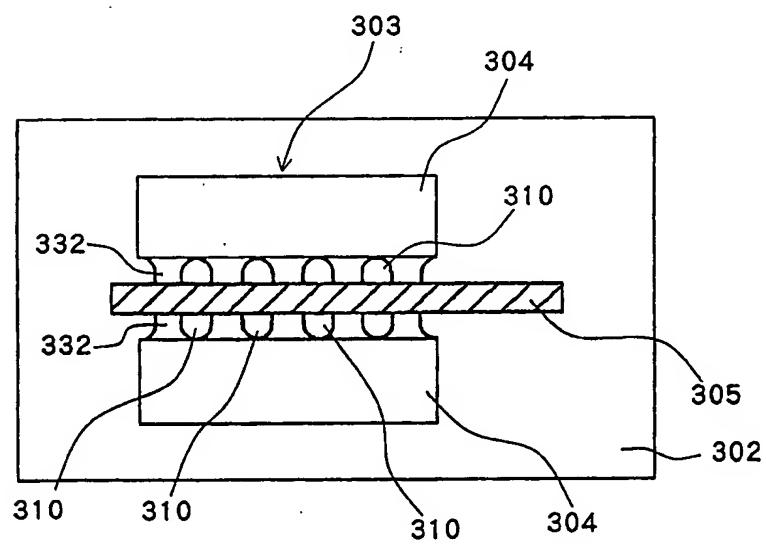


[図14]

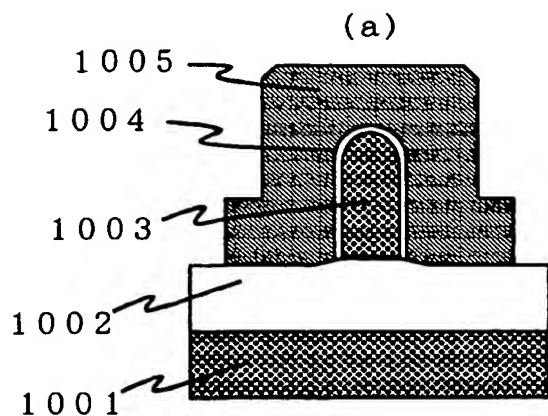
(a)



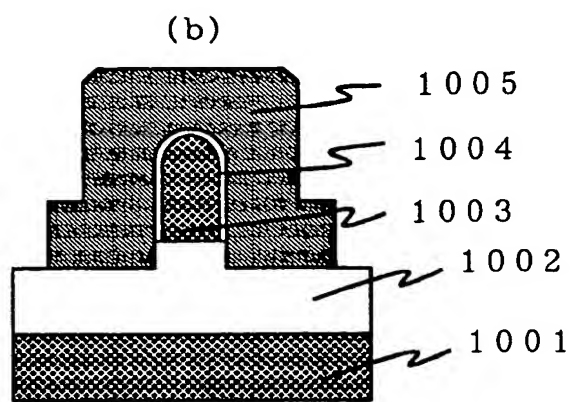
(b)



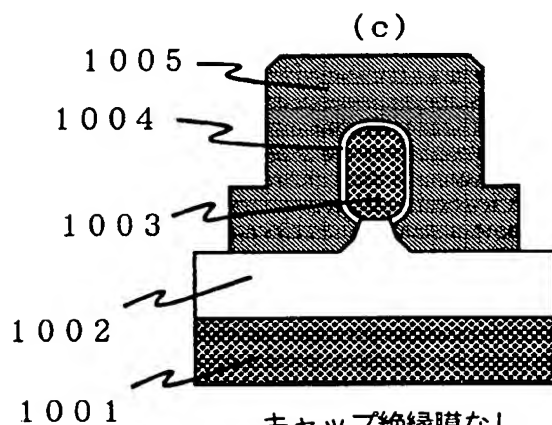
[図15]



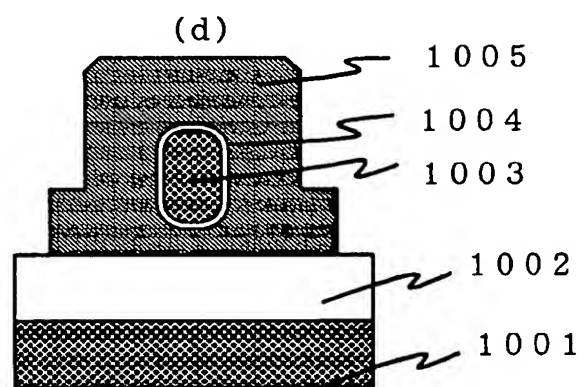
キャップ絶縁膜なし



キャップ絶縁膜なし

 $\pi$ ゲート型のFinFET

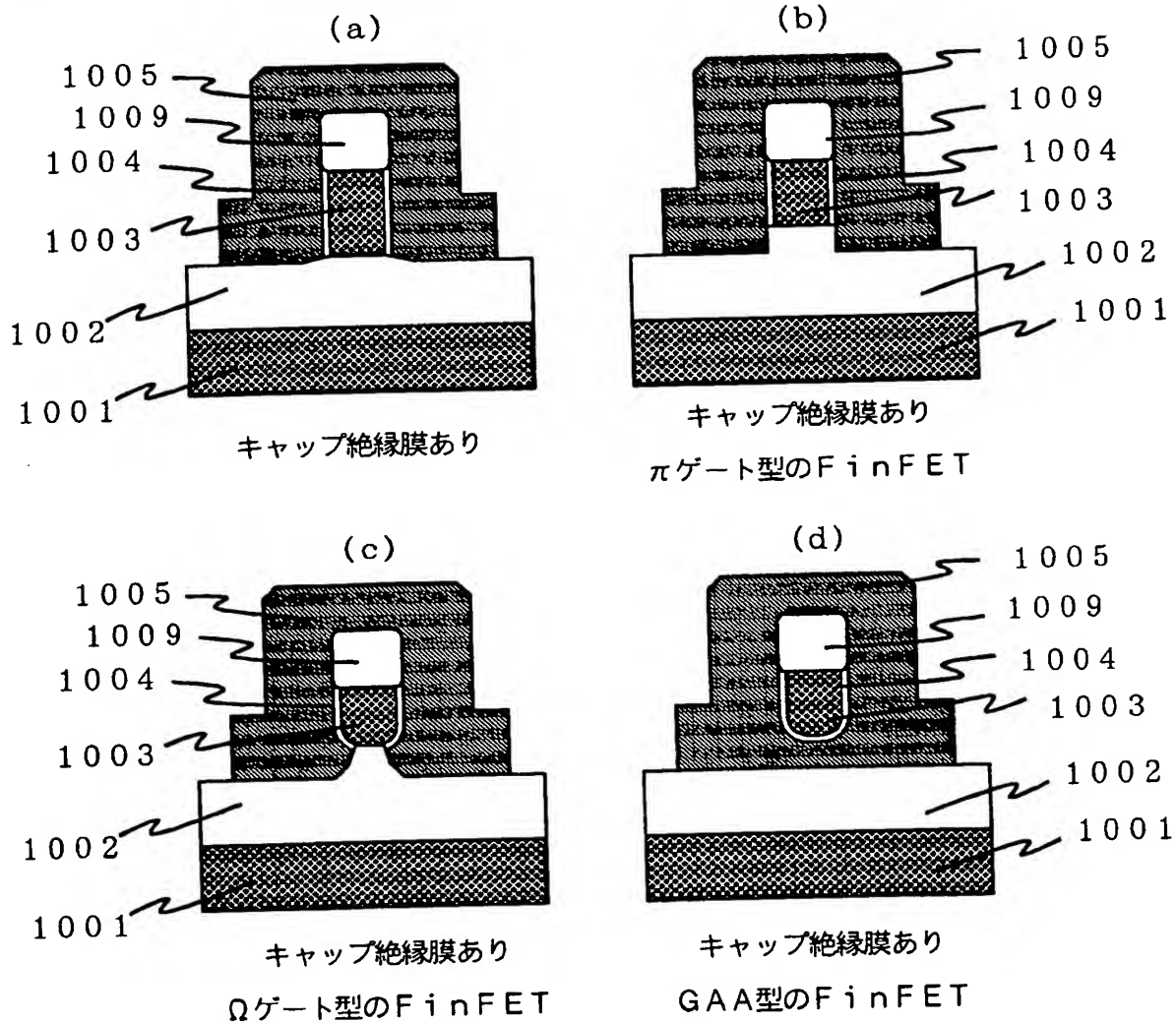
キャップ絶縁膜なし

 $\Omega$ ゲート型のFinFET

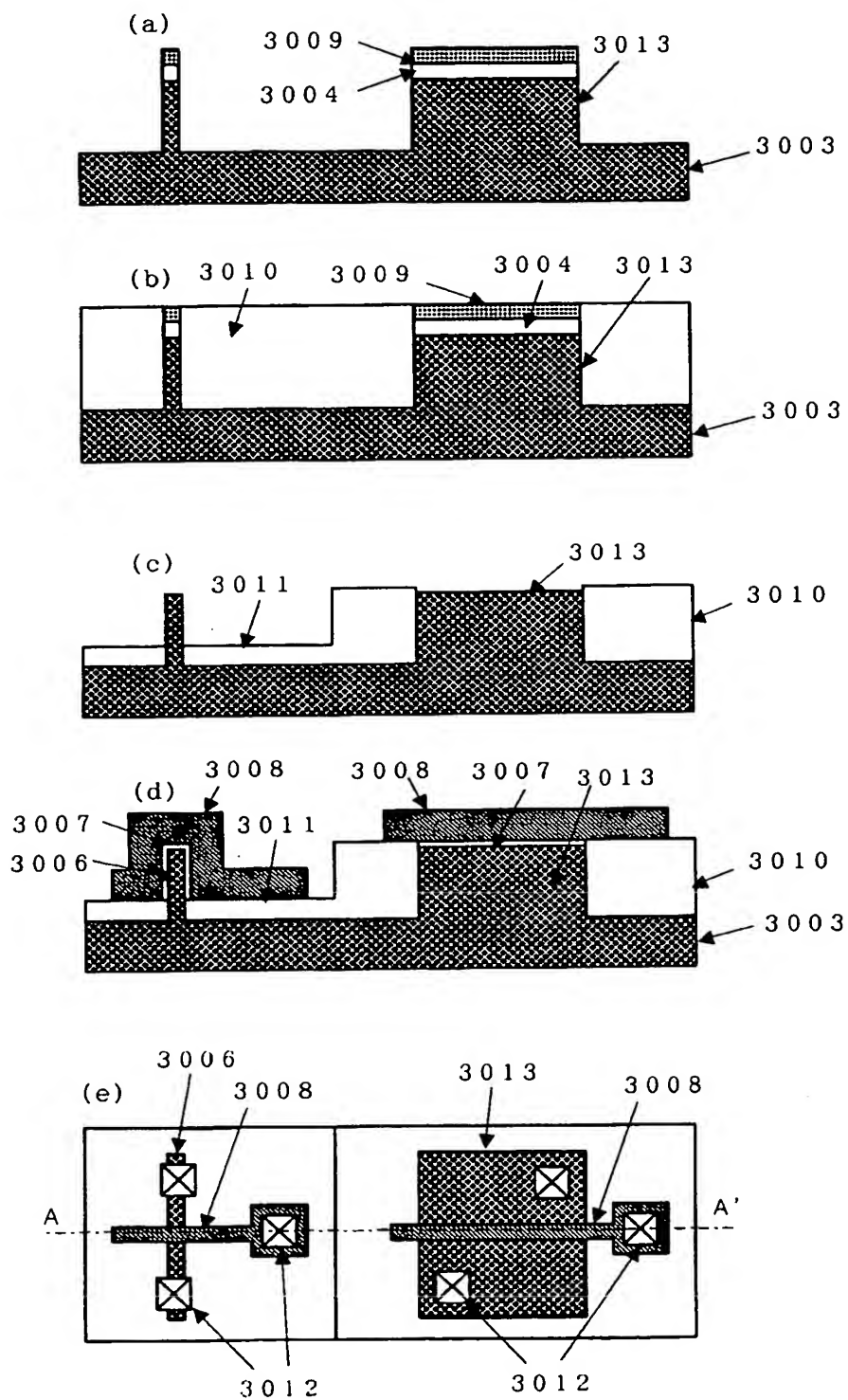
キャップ絶縁膜なし

GAA型のFinFET

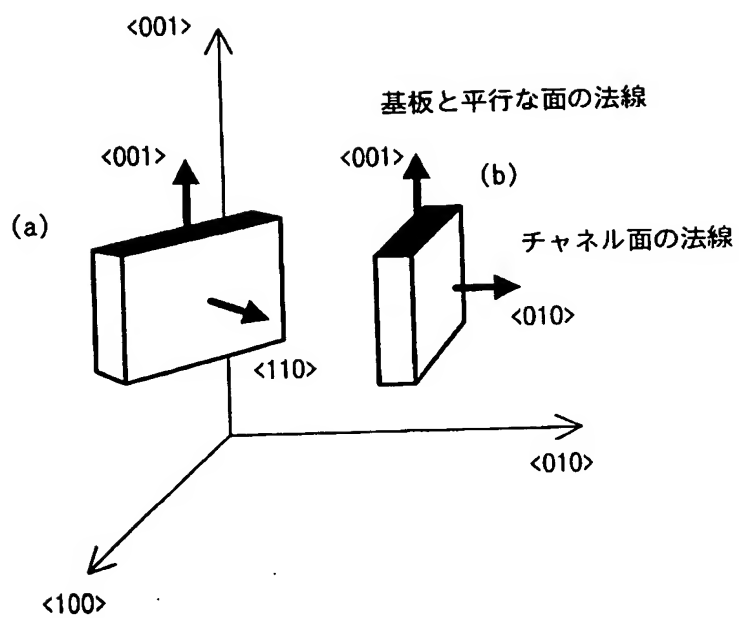
[図16]



[ 17]

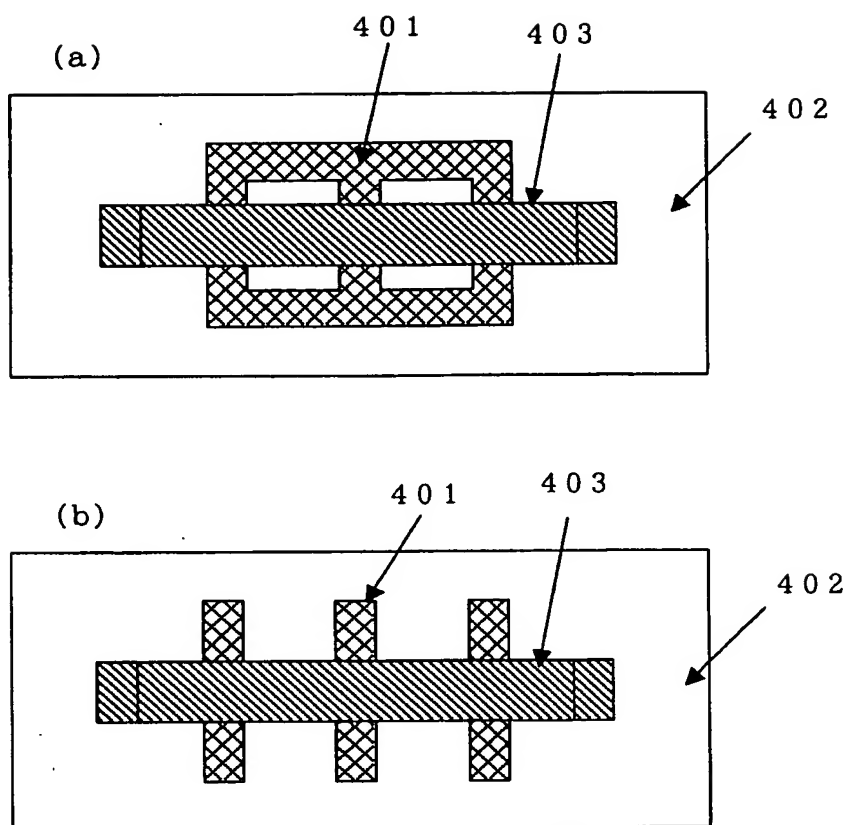


[図18]





[図19]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012385

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/088-092, H01L21/8234-8238, H01L29/78-29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| Y         | JP 2003-188273 A (Tadahiro Omi),<br>04 July, 2003 (04.07.03),<br>Full text; Figs. 1 to 12<br>& WO 2003/54962 A1 & EP 1455393 A1<br>& CN 1500291 A | 1-22                  |
| Y         | JP 63-80561 A (NEC Corp.),<br>11 April, 1988 (11.04.88),<br>Full text; Figs. 1 to 3<br>& EP 261666 A1   | 1-22                  |
| Y         | JP 2003-229575 A (Hitachi, Ltd.),<br>15 August, 2003 (15.08.03),<br>Full text; Figs. 1 to 42<br>(Family: none)                                    | 21-22                 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
16 November, 2004 (16.11.04)

Date of mailing of the international search report  
30 November, 2004 (30.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>1</sup> H01L27/092

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>1</sup> H01L27/088-092, H01L21/8234-8238,  
H01L29/78-29/786, H01L21/336

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |             |             |            |
|-------------|-------------|-------------|------------|
| 日本国実用新案公報   | 1922-1996年, | 日本国公開実用新案公報 | 1971-2004年 |
| 日本国登録実用新案公報 | 1994-2004年, | 日本国実用新案登録公報 | 1996-2004年 |

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| Y               | JP 2003-188273 A (大見忠弘),<br>2003.07.04, 全文及び図1-12<br>&WO 2003/54962 A1<br>&EP 1455393 A1 &CN 1500291 A | 1-22             |
| Y               | JP 63-80561 A (日本電気株式会社),<br>1988.04.11, 全文及び第1-3図 &EP 261666 A1                                       | 1-22             |
| Y               | JP 2003-229575 A (株式会社日立製作所),<br>2003.08.15, 全文及び図1-42 (ファミリーなし)                                       | 21-22            |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

16.11.2004

国際調査報告の発送日

30.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦

4L

9447

電話番号 03-3581-1101 内線 3498

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**